



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In the Application of: Tetsuya IKUTA et al.

Serial No.: 10/809,809

Confirmation No.: 7816

Filed: March 26, 2004

Group Art Unit No.: 2811

For: SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD OF THE SAME

Attorney Docket No.: 042278

Customer No.: 38834

**CLAIM FOR PRIORITY UNDER 35 U.S.C. 119**

Commissioner for Patents  
P. O. Box 1450  
Alexandria, VA 22313-1450

August 6, 2004

Sir:

The benefit of the filing date of the following prior foreign applications is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

**Japanese Appln. No. 2003-085800, filed on March 26, 2003**

**Japanese Appln. No. 2003-303270, filed on August 27, 2003**

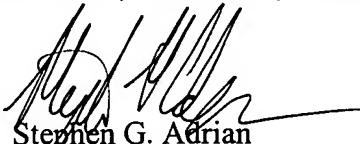
**Japanese Appln. No. 2004-062952, filed on March 5, 2004**

In support of these claims, the requisite certified copies of said original foreign applications are filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copies.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 50-2866.

Respectfully submitted,  
WESTERMAN, HATTORI, DANIELS & ADRIAN, LLP

  
Stephen G. Adrian  
Reg. No.: 32,878

1250 Connecticut Avenue, N.W., Suite 700  
Washington, D.C. 20036  
Tel: (202) 822-1100  
Fax: (202) 822-1111  
SGA/ll

# 日本国特許庁

## JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2004年 3月 5日  
Date of Application:

出願番号 特願2004-062952  
Application Number:

[ST. 10/C]: [JP 2004-062952]

願 人 富士通株式会社  
Applicant(s):

**CERTIFIED COPY OF  
PRIORITY DOCUMENT**

BEST AVAILABLE COPY

2004年 3月22日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



【書類名】 特許願  
【整理番号】 0440040  
【提出日】 平成16年 3月 5日  
【あて先】 特許庁長官殿  
【国際特許分類】 H01L 21/00  
【発明者】  
    【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社  
                                内  
    【氏名】 生田 哲也  
【発明者】  
    【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社  
                                内  
    【氏名】 淡路 直樹  
【発明者】  
    【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社  
                                内  
    【氏名】 堀 充明  
【特許出願人】  
    【識別番号】 000005223  
    【氏名又は名称】 富士通株式会社  
【代理人】  
    【識別番号】 100090273  
    【弁理士】  
    【氏名又は名称】 國分 孝悦  
    【電話番号】 03-3590-8901  
【先の出願に基づく優先権主張】  
    【出願番号】 特願2003- 85800  
    【出願日】 平成15年 3月26日  
【先の出願に基づく優先権主張】  
    【出願番号】 特願2003-303270  
    【出願日】 平成15年 8月27日  
【手数料の表示】  
    【予納台帳番号】 035493  
    【納付金額】 21,000円  
【提出物件の目録】  
    【物件名】 特許請求の範囲 1  
    【物件名】 明細書 1  
    【物件名】 図面 1  
    【物件名】 要約書 1  
    【包括委任状番号】 9908504

**【書類名】 特許請求の範囲****【請求項 1】**

S i 基板と、  
前記 S i 基板の上に形成されたゲート絶縁膜と、  
前記ゲート絶縁膜上に形成されたゲート電極と、  
を有し、  
前記 S i 基板の表面において S i 原子が前記ゲート絶縁膜の方向に変位していることを特徴とする半導体装置。

**【請求項 2】**

S i 基板と、  
前記 S i 基板の上に形成されたゲート絶縁膜と、  
前記ゲート絶縁膜上に形成されたゲート電極と、  
を有し、  
前記 S i 基板表面の導電型が P 型の部分では、前記ゲート絶縁膜下において S i 原子が前記ゲート絶縁膜の方向に変位しており、  
前記 S i 基板表面の導電型が N 型の部分では、前記ゲート絶縁膜下において S i 原子が前記 S i 基板の内部に向かう方向に変位していることを特徴とする半導体装置。

**【請求項 3】**

前記 S i 基板表面の導電型が P 型の部分における S i 原子の変位量は 0.01 nm 乃至 0.03 nm であり、  
前記 S i 基板表面の導電型が N 型の部分における S i 原子の変位量は 0.01 nm 以下であることを特徴とする請求項 2 に記載の半導体装置。

**【請求項 4】**

S i 基板上にゲート絶縁膜を形成する工程と、  
前記ゲート絶縁膜上にゲート電極を形成する工程と、  
を有し、  
前記ゲート絶縁膜を形成する工程は、  
前記 S i 基板上に S i 酸化膜を形成する工程と、  
前記 S i 酸化膜中に N を導入すると共に、前記 S i 基板の表面の S i 原子を前記ゲート絶縁膜の方向に変位させる工程と、  
を有することを特徴とする半導体装置の製造方法。

**【請求項 5】**

前記 N を導入すると共に、前記 S i 原子を変位させる工程は、前記 S i 酸化膜に対してアンモニア雰囲気又は一酸化窒素雰囲気中で第 1 の熱処理を行う工程を有することを特徴とする請求項 4 に記載の半導体装置の製造方法。

**【請求項 6】**

S i 基板上にゲート絶縁膜を形成する工程と、  
前記ゲート絶縁膜上にゲート電極を形成する工程と、  
を有し、  
前記ゲート絶縁膜を形成する工程は、  
前記 S i 基板上に S i 酸化膜を形成する工程と、  
前記 S i 酸化膜中に N を導入すると共に、前記 S i 基板表面の導電型が P 型の部分では、前記ゲート絶縁膜下において S i 原子を前記ゲート絶縁膜の方向に変位させ、前記 S i 基板表面の導電型が N 型の部分では、前記ゲート絶縁膜下において S i 原子が前記 S i 基板の内部に向かう方向に変位させる工程と、  
を有することを特徴とする半導体装置の製造方法。

**【請求項 7】**

前記 N を導入すると共に、前記 S i 原子を変位させる工程は、前記 S i 基板表面の導電型が P 型の部分では、前記 S i 酸化膜に対してアンモニア雰囲気又は一酸化窒素雰囲気中で第 1 の熱処理を行い、前記 S i 基板表面の導電型が N 型の部分では、前記 S i 酸化膜に

対してプラズマ窒化処理を行う工程を有することを特徴とする請求項 6 に記載の半導体装置の製造方法。

【請求項 8】

前記ゲート絶縁膜を形成する工程は、前記 N を導入すると共に、前記 S i 原子を変位させる工程の後に、前記 S i 酸化膜上に S i 窒化膜又は高誘電率膜を形成する工程を有することを特徴とする請求項 4 乃至 7 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 9】

前記ゲート絶縁膜を形成する工程は、前記 N を導入すると共に、前記 S i 原子を変位させる工程の後に、

前記 S i 酸化膜上に高誘電率膜を形成する工程と、

前記 N が導入された S i 酸化膜に対して第 2 の熱処理を行う工程と、

前記高誘電率膜上に S i 窒化膜を形成する工程と、

を有することを特徴とする請求項 4 乃至 7 のいずれか 1 項に記載の半導体装置の製造方法。

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【技術分野】

【0001】

本発明は、微細化に伴うボロン抜け及びゲートリーク電流の増大の抑制を図った半導体装置及びその製造方法に関する。

【背景技術】

【0002】

半導体デバイスの微細化に伴い、ゲート酸化膜の膜厚も縮小則に従って薄くなってきている。しかし、このような非常に薄いゲート酸化膜が用いられた場合、ゲートリーク電流密度が増大したり、ゲート電極からゲート絶縁膜中を通過してチャンネルにボロンが拡散することによってしきい値電圧が変動したりするという問題がある。後者のボロンが拡散する現象は、ボロン抜けともよばれる。このボロン抜けの対策としては、ゲート絶縁膜（シリコン酸化膜）を窒化又は酸窒化してゲート絶縁膜中に窒素を含ませるという方法が効果的である。窒素を含ませる方法としては、NOを用いて成膜を行う方法や、プラズマ窒化を行う方法がある。

【0003】

従来の酸窒化の方法では、窒素濃度のピークはシリコン基板とシリコン酸化膜との界面近傍に存在する。これは、窒化に寄与する分子がシリコン酸化膜中を拡散してシリコン基板との界面近傍で反応するためである。

【0004】

ゲート電極からのボロン抜けを十分に抑制するためには、ゲート電極を形成した後の熱処理条件にもよるが、概ね1%以上の濃度の窒素が必要とされる。しかし、シリコン基板とシリコン酸化膜との界面近傍にピークが存在するゲート絶縁膜においては、概ね1%を超える窒素が混入していると、キャリアの移動度が劣化するという問題が副作用として生じてしまう。

【0005】

このため、キャリアの移動度の低下を抑制しながら、ボロン抜けを効果的に抑制するためには、ゲート絶縁膜とゲート電極との界面近傍に窒素濃度のピークが存在する濃度プロファイルが好ましい。

【0006】

一方、ボロン抜けを抑制しながら、絶縁耐圧やホットキャリアによるデバイスの特性劣化をも抑制するためには、ゲート絶縁膜の上端及び下端に窒素濃度のピークが存在することが最も好ましい。しかし、上述のように、シリコン基板とゲート絶縁膜との界面近傍の窒素濃度が高すぎると、キャリアの移動度が低下してしまう。このため、ゲート絶縁膜中の窒素濃度は、シリコン基板との界面近傍で1%以下、ゲート電極との界面近傍で1%以上となっていることが最も好ましいと考えられている。

【0007】

ゲート絶縁膜とゲート電極との界面近傍に窒素濃度のピークが存在する濃度プロファイルを得るための方法としては、シリコン基板の表面を酸化した後に、化学的気相成長（CVD）によりシリコン窒化膜を堆積する方法が挙げられる。また、シリコン窒化膜を密に堆積させ、シリコン基板との界面近傍に1%以下の窒素を導入することを目的として、厚さが2nm～3nm程度のシリコン酸化膜をアンモニア雰囲気中でアニールする方法もある。

【0008】

また、シリコン酸化膜に対してプラズマ窒化を行う方法もある。

【0009】

しかしながら、従来のいずれの方法によっても、十分にキャリアの移動度を向上させ、リーク電流を低減することができない。

【0010】

【特許文献1】特開平6-232408号公報

【特許文献2】特開平5-283679号公報

【発明の開示】

【発明が解決しようとする課題】

【0011】

本発明は、十分にキャリアの移動度を向上させ、リーク電流を低減することができる半導体装置及びその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0012】

従来、ゲート絶縁膜中の窒素濃度は、シリコン基板との界面近傍で1%以下となることが好ましいと考えられていたため、窒素濃度がシリコン基板との界面近傍で1%を超えるような条件でアンモニアアニールを行うことは回避されていた。

【0013】

しかし、本願発明者は、鋭意検討の結果、窒素濃度がシリコン基板との界面近傍で1%を超えるような条件でアンモニアアニールを行った場合には、Si基板の表面に存在するSi原子がゲート絶縁膜の方向に向かって変位し、キャリアの移動度が向上することを見出した。

【0014】

そして、本願発明者は、以下に示す発明の諸態様に想到した。

【0015】

本願発明に係る半導体装置は、Si基板と、前記Si基板の上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極と、を有する半導体装置を対象とする。そして、この半導体装置では、前記Si基板の表面においてSi原子が前記ゲート絶縁膜の方向に変位している。

【0016】

本願発明に係る半導体装置の製造方法では、Si基板上にゲート絶縁膜を形成する。次に、前記ゲート絶縁膜上にゲート電極を形成する。そして、前記ゲート絶縁膜を形成する際に、前記Si基板上にSi酸化膜を形成した後、前記Si酸化膜中にNを導入すると共に、前記Si基板の表面のSi原子を前記ゲート絶縁膜の方向に変位させる。

【発明の効果】

【0017】

本発明によれば、Si基板表面のSi原子の変位によりキャリアの移動度が向上する。このため、ゲート絶縁膜のSi基板との界面近傍の窒素濃度が高くなっても、十分なキャリアの移動度を得ることができる。また、窒素濃度が高くなることにより、ボロン抜けをより一層抑制することができると共に、ゲートリーク電流を低下することもできる。

【発明を実施するための最良の形態】

【0018】

以下、本発明の実施形態について添付の図面を参照して具体的に説明する。なお、便宜上、半導体装置の構成については、その製造方法と共に説明する。

【0019】

(第1の実施形態)

先ず、本発明の第1の実施形態について説明する。図1乃至図2は、本発明の第1の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。第1の実施形態では、NチャネルMOSトランジスタを備えた半導体装置を製造する。

【0020】

第1の実施形態では、先ず、半導体基板、例えばSi基板1に対してウェット洗浄を行った後、炉内アニール又はRTP(Rapid Thermal Processing)装置を用いた熱処理により、図1(a)に示すように、熱酸化膜としてSiO<sub>2</sub>膜2を形成する。より詳細には、本実施形態では、850℃でドライ酸化を行うことにより、厚さが1.5nm以下、例えば1nm程度のSiO<sub>2</sub>膜2を形成する。

**【0021】**

次に、 $\text{SiO}_2$ 膜2に対して、窒化性ガス雰囲気下で熱処理を行うことにより、図1 (b) に示すように、 $\text{SiO}_2$ 膜2を $\text{SiON}$ 膜3に変化させる。より詳細には、本実施形態では、 $\text{NH}_3$ ガスを2リットル/分の流量で供給しながら、チャンバ内の圧力を800 Paとし、850℃で10分間のアンモニアアニール（第1の熱処理）を行う。この結果、 $\text{Si}$ 基板1の表層に存在する原子には、 $\text{SiON}$ 膜3側への引張応力が作用して歪が生じ、 $\text{Si}$ 基板1中の $\text{Si}$ 原子の原子間距離が長くなる。この歪（変位）の方向及び量は、例えばX線CTR（Crystal Truncation Rod）散乱法により測定することができる。なお、 $\text{SiO}_2$ 膜2に対してプラズマ窒化を行うと、上述の熱処理とは逆に、 $\text{SiON}$ 膜3側からの圧縮応力が作用して原子間距離が縮まる。また、第1の熱処理として、一酸化窒素アニールを行ってもよい。

**【0022】**

次いで、CVD法等により、 $\text{SiN}$ 膜4を $\text{SiON}$ 膜3上に形成する。より詳細には、本実施形態では、ジクロロシラン及び $\text{NH}_3$ を原料ガスとして用い650℃で、厚さが0.2 nm程度の $\text{SiN}$ 膜4を形成する。 $\text{SiN}$ 膜4の厚さによっても、 $\text{Si}$ 基板1に作用する引張応力の大きさが異なる。即ち、 $\text{SiN}$ 膜4の厚さを制御することにより、引張応力及びそれに伴う歪の大きさを制御することができる。

**【0023】**

これらの絶縁膜を形成する工程は、複数のチャンバを用いて行ってもよいが、単一のチャンバを用いて大気をチャンバ内に入れることなく連続して行うことが好ましい。

**【0024】**

$\text{SiN}$ 膜4を形成した後は、図2 (a) に示すように、 $\text{SiON}$ 膜3及び $\text{SiN}$ 膜4からなるゲート絶縁膜5上にゲート電極6を形成する。

**【0025】**

次に、図2 (b) に示すように、ゲート電極6をマスクとしてN型不純物のイオン注入を行うことにより、 $\text{Si}$ 基板1の表面に低濃度不純物拡散層7を形成する。

**【0026】**

次いで、図2 (c) に示すように、ゲート電極6の側方にサイドウォール絶縁膜10を形成し、ゲート電極6及びサイドウォール絶縁膜10をマスクとしてN型不純物のイオン注入を行うことにより、 $\text{Si}$ 基板1の表面に高濃度不純物拡散層8を形成する。低濃度不純物拡散層7及び高濃度不純物拡散層8からソース・ドレイン領域9が構成される。このようにしてNチャネルMOSトランジスタが形成される。

**【0027】**

そして、層間絶縁膜及び配線等を形成して、半導体装置を完成させる。

**【0028】**

このような第1の実施形態によれば、 $\text{Si}$ 基板1の表面の $\text{Si}$ 原子の変位によりキャリアの移動度が向上する。このため、アンモニアアニールによって $\text{SiON}$ 膜3の $\text{Si}$ 基板1との界面近傍の窒素濃度が高くなっても、十分なキャリアの移動度が得られる。また、窒素濃度が高くなることにより、ボロン抜けがより生じにくくなると共に、ゲートリーク電流が低下する。

**【0029】**

ここで、第1の実施形態の効果について説明する。

**【0030】**

本願発明者は、実施例として、第1の実施形態に倣ってNチャネルMOSトランジスタを作製し、更に、他の実施例として、 $\text{SiO}_2$ 膜2のアンモニアアニールを680℃、775℃としてNチャネルMOSトランジスタを作製した。なお、これらの3種のNチャネルMOSトランジスタの作製に当たっては、アンモニアアニールの温度以外は、条件を統一した。そして、これらの3種のMOSトランジスタについて、相互コンダクタンス ( $G_m$ ) 及びゲート電圧 ( $V_g$ ) を測定した。この結果を、反転容量換算膜厚 ( $T_{eff}$ ) を用いて補正して図3に示す。



## 【0031】

図3に示すように、アニール温度が高いほど、ゲート絶縁膜5中の窒素濃度が高くなるものの、キャリアの移動度を示す指数の一つである $G_m \times T_{eff}$ の値が高くなった。なお、アニール温度が680℃の場合、Si基板1には、引張応力がほとんど作用していないと考えられる。従って、アニール温度は775℃以上とすることが好ましい。

## 【0032】

また、本願発明者は、上述の3種のMOSトランジスタについて、ゲート電圧が1Vのときのゲートリーク電流を測定した。この結果を図4に示す。

## 【0033】

図4に示すように、アニール温度が高いほど、ゲートリーク電流が低くなった。これは、アニール温度が高いほど、窒素濃度が高くなるためであると考えられる。

## 【0034】

また、本願発明者は、上述の3種のNチャネルMOSトランジスタについて、Si基板1の表面におけるSi原子の変位量をX線CTR散乱法により測定した。また、比較のために、プラズマ窒化を行った場合の変位量、及びSiO<sub>2</sub>膜に対してアンモニアアニールもプラズマ窒化も行わなかった場合の変位量も測定した。これらの結果を図5に示す。図5に示すグラフの縦軸の値について、正の値は引張応力に伴う変位を示し、負の値は圧縮応力に伴う変位を示している。

## 【0035】

図5に示すように、アンモニアアニールを行った場合には、引張応力に伴う歪が生じ、原子間距離が長くなる方向にSi原子の変位が発生した。一方、プラズマ窒化を行った場合及び窒化を行わなかった場合には、圧縮応力に伴う歪が生じ、原子間距離が短くなる方向にSi原子の変位が発生した。

## 【0036】

図6は、NチャネルMOSトランジスタにおける変位量とゲートリーク電流及び $G_{max} \times T_{eff}$ の値との関係を示す図である。図6中の実線は変位量とゲートリーク電流との関係(NMOS)を示し、2点鎖線は変位量と $G_{max} \times T_{eff}$ の値との関係(NMOS)を示している。

## 【0037】

図6に示すように、NチャネルMOSトランジスタにおいては、Si原子の変位量が0.0075nm以上となったときに、特に良好な結果が得られている。

## 【0038】

なお、Si窒化膜4の代わりに、HfO<sub>2</sub>膜や、Ta、Zr、La又はPr等の酸化物膜等の高誘電率膜を用いることも可能である。

## 【0039】

(第2の実施形態)

次に、本発明の第2の実施形態について説明する。第2の実施形態においては、先ず、第1の実施形態と同様にして、SiN膜4(又は高誘電率膜)の形成までの工程を行う。そして、SiN膜4を形成した後に、SiN膜4の成膜温度より高い温度でのアニール(第2の熱処理)を行うことにより、ゲート絶縁膜5を形成する。より詳細には、本実施形態では、図7に示すように、チャンバ内の圧力を13.3kPaとし、850℃で20分間のNOアニールを行う。この結果、Si基板1の表層に存在する原子にSiON膜3側への引張応力が再度作用して歪が生じ、Si基板1中のSi原子の原子間距離がより一層長くなる。その後、第1の実施形態と同様にして、ゲート電極6の形成以降の工程を行うことにより、半導体装置を完成させる。

## 【0040】

このような第2の実施形態によれば、キャリアの移動度がより向上してより高速な動作が可能になると共に、ゲートリーク電流が低下する。

## 【0041】

なお、SiN膜4を形成した後に行うアニールの雰囲気は、特に限定されるものではない。

く、NO雰囲気他に、例えばN<sub>2</sub>雰囲気、N<sub>2</sub>O雰囲気若しくはO<sub>2</sub>雰囲気、又はこれらのガスが混合した雰囲気等も可能である。但し、後述のように、NO雰囲気において最も高い効果が得られるため、NO雰囲気とすることが好ましい。

【0042】

ここで、第2の実施形態の効果について説明する。

【0043】

本願発明者は、実施例として、第2の実施形態に倣ってNチャネルMOSトランジスタを作製し、更に、他の実施例として、SiN膜4を形成した後のアニール（ポストアニール）の雰囲気をN<sub>2</sub>雰囲気としてNチャネルMOSトランジスタを作製した。また、参考例（更に他の実施例）として、第1の実施形態（SiO<sub>2</sub>膜2形成後のアンモニアアニール温度：850℃）に倣ってNチャネルMOSトランジスタを作製した。なお、これらの3種のNチャネルMOSトランジスタの作製に当たっては、ポストアニールの条件以外は、条件を統一した。そして、これらの3種のMOSトランジスタについて、相互コンダクタンス（G<sub>m</sub>）及びゲート電圧（V<sub>g</sub>）を測定した。この結果を、反転容量換算膜厚（T<sub>eff</sub>）を用いて補正して図8に示す。

【0044】

図8に示すように、NO雰囲気下でのアニールを行った場合には、G<sub>m</sub>×T<sub>eff</sub>の値が参考例（第1の実施形態）で得られる値よりも5%程度高くなった。

【0045】

また、本願発明者は、上述の3種のMOSトランジスタについて、ゲート電圧が1Vのときのゲートリーク電流を測定した。この結果を図9に示す。

【0046】

図9に示すように、ポストアニールを施すことにより、その種類を問わず、参考例（第1の実施形態）よりもゲートリーク電流が低くなった。

【0047】

また、本願発明者は、上述の3種のNチャネルMOSトランジスタについて、Si基板1の表面におけるSi原子の変位量をX線CTR散乱法により測定した。この結果を図10に示す。

【0048】

図10に示すように、いずれの例でもSi原子の変位量は0.02nm以上となっており、その中でも、SiN膜4を形成した後にNOアニールを行った場合には、引張応力に伴う歪がより大きくなった。

【0049】

なお、図8乃至図10と図3乃至図5とを比較すると、第1の実施形態に倣って作製したトランジスタ（参考例）の結果に若干の相違がある。これは、図8乃至図10にその結果を示す実験で用いたトランジスタの作製方法と、図3乃至図5にその結果を示す実験で用いたトランジスタの作製方法との間に、若干の相違があるためである。但し、この若干の相違は、本発明の作用効果に影響を及ぼすことがない程度のものである。

【0050】

（第3の実施形態）

次に、本発明の第3の実施形態について説明する。第3の実施形態においては、ゲート絶縁膜の構造を第1及び第2の実施形態と異ならせる。図11（a）乃至（c）は、本発明の第3の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

【0051】

第3の実施形態では、まず、第1及び第2の実施形態と同様にして、図11（a）に示すように、SiON膜3の形成までの工程を行う。次に、SiON膜3の上に、SiN膜4ではなく、高誘電率膜としてHfO<sub>2</sub>膜14を形成する。HfO<sub>2</sub>膜14は、例えばALD（Atomic Layered Deposition）により形成する。また、その厚さは、例えば3nm程度とする。次いで、図11（b）に示すように、第2の実施形態と同様にして、HfO<sub>2</sub>膜14の成膜温度よりも高い温度で、第2の熱処理としてN<sub>2</sub>アニールを行う。その後、

図11(c)に示すように、第1及び第2の実施形態と同様にして、ゲート電極6の形成以降の工程を行うことにより、半導体装置を完成させる。

【0052】

このような第3の実施形態によっても、NチャネルMOSトランジスタにおいて、Si基板1の表層に存在するSi原子をゲート絶縁膜15側に変位させることができる。このため、アンモニアアニールによってSiON膜3のSi基板1との界面近傍の窒素濃度が高くなっても、十分なキャリアの移動度が得られる。

【0053】

ここで、第3の実施形態の効果について説明する。

【0054】

本願発明者は、実施例として、第3の実施形態に倣ってNチャネルMOSトランジスタを作製した。そして、Si基板1の表面におけるSi原子の変位量をX線CTR散乱法により測定した。また、比較のために、プラズマ窒化を行った後にHfO<sub>2</sub>膜を形成した場合の変位量も測定した。これらの結果を図12に示す。図12に示すグラフの縦軸の値について、正の値は引張応力に伴う変位を示し、負の値は圧縮応力に伴う変位を示している。また、図12中には、図10中の「N<sub>2</sub>ポストアニールあり」の結果も、参考例として示してある。

【0055】

図12に示すように、SiN膜4を形成した参考例よりも、HfO<sub>2</sub>膜14を形成した試料には、引張応力に伴う原子の変位量が大きくなった。

【0056】

なお、第3の実施形態では、ポストアニールとしてN<sub>2</sub>アニールを行っているが、この代わりにNOアニールを行ってもよい。また、第1の実施形態のように、ポストアニール自体を行わなくてもよい。更に、高誘電率膜の種類は限定されない。例えば、Ta、Zr、La又はPr等の酸化物膜を用いることも可能である。

【0057】

(第4の実施形態)

次に、本発明の第4の実施形態について説明する。第4の実施形態は、第2の実施形態と第3の実施形態とを組み合わせたものである。図13乃至図14は、本発明の第4の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

【0058】

第4の実施形態では、先ず、第3の実施形態と同様にして、図13(a)に示すように、HfO<sub>2</sub>膜14の形成までの工程を行う。次に、図13(b)に示すように、HfO<sub>2</sub>膜14上に、第2の実施形態と同様にして、SiN膜4を形成する。次いで、図13(c)に示すように、第2の実施形態と同様にして、NOアニールを行う。その後、図14(a)乃至(c)に示すように、第1乃至第3の実施形態と同様にして、ゲート電極6の形成以降の工程を行うことにより、半導体装置を完成させる。なお、SiN膜4を形成する前にNOアニールを行ってもよい。

【0059】

このような第4の実施形態によれば、SiN膜4とHfO<sub>2</sub>膜14とを組み合わせることにより、高い誘電率を維持しながら物理的膜厚をより厚くすることができる。このため、リーク電流をより効果的に低減することができる。

【0060】

(第5の実施形態)

次に、本発明の第5の実施形態について説明する。第5の実施形態は、第4の実施形態に係る方法でNチャネルMOSトランジスタを形成しつつ、これと並行してPチャネルMOSトランジスタを形成し、NチャネルMOSトランジスタ及びPチャネルMOSトランジスタを備えた半導体装置を製造する。図15は、本発明の第5の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。但し、図15には、PチャネルMOSトランジスタを形成する部分のみを示す。

## 【0061】

第5の実施形態では、先ず、図15(a)に示すように、第1の実施形態と同様に、Si基板1の表面にSiO<sub>2</sub>膜2を形成する。

## 【0062】

次に、PチャネルMOSトランジスタを形成する予定の領域において、SiO<sub>2</sub>膜2に対してプラズマ窒化を行うことにより、図15(b)に示すように、SiO<sub>2</sub>膜2をSiON膜13に変化させる。また、NチャネルMOSトランジスタを形成する予定の領域においては、第1乃至第4の実施形態と同様に、窒化性ガス雰囲気下で熱処理を行うことにより、図13(a)に示すように、SiO<sub>2</sub>膜2をSiON膜3に変化させる。この結果、PチャネルMOSトランジスタを形成する予定の領域では、Si基板1の表層に存在する原子には、SiON膜13側からの圧縮応力が作用して歪が生じ、Si基板1中のSi原子の原子間距離が縮まる。一方、PチャネルMOSトランジスタを形成する予定の領域では、Si基板1中のSi原子の原子間距離が長くなる。なお、プラズマ窒化及び熱窒化は、例えばこれらの処理を施す領域にのみ開口部が形成されたマスクを用いて行うことにより、選択的な処理が可能となる。

## 【0063】

次いで、図15(c)及び図13(a)に示すように、SiON膜3及び13上にHfO<sub>2</sub>膜14を形成する。その後、第4の実施形態と同様に、SiN膜4の形成以降の工程を行うことにより、半導体装置を完成させる。但し、不純物拡散層の形成に当たっては、PチャネルMOSトランジスタを形成する予定の領域には、P型不純物をイオン注入する。

## 【0064】

このように、第5の実施形態では、NチャネルMOSトランジスタ及びPチャネルMOSトランジスタを並行して形成するに当たり、Si基板1の表層のSi原子の変位方向を互いに逆方向とする。この結果、NチャネルMOSトランジスタ及びPチャネルMOSトランジスタの双方において、高い移動度を得ながら、リーク電流を低減することができる。

## 【0065】

ここで、第4及び第5の実施形態の効果について説明する。

## 【0066】

本願発明者は、SiO<sub>2</sub>膜に対して熱窒化(NH<sub>3</sub>アニール)又はプラズマ窒化を施して、夫々4種類のNチャネルMOSトランジスタ及びPチャネルMOSトランジスタを作製した。この結果、NチャネルMOSトランジスタ及びPチャネルMOSトランジスタのいずれにおいても、熱窒化を施した試料では、Si基板とSiON膜との界面におけるN濃度は3、6又は10重量%となり、プラズマ窒化を施した試料では、界面におけるN濃度は6重量%となった。そして、これらの3種のMOSトランジスタについて、キャリアの移動度及びゲート電圧(V<sub>g</sub>)を測定した。この結果を、反転容量換算膜厚(T<sub>eff</sub>)を用いて補正して図16に示す。なお、NチャネルMOSトランジスタについては、図16(a)に示すように、電子の移動度を測定し、PチャネルMOSトランジスタについては、図16(b)に示すように、正孔の移動度を測定した。

## 【0067】

従来、一般的に、界面窒素濃度が増加すると移動度が減少すると考えられている。しかし、図16(a)及び(b)に示す結果によれば、界面窒素濃度が増加しても移動度が減少するとはいえない。その一方で、図16(a)に示すように、NチャネルMOSトランジスタでは、プラズマ窒化よりも熱窒化の方が高い移動度を得られるのに対し、PチャネルMOSトランジスタでは、図16(b)に示すように、熱窒化よりもプラズマ窒化の方が高い移動度を得られるといえる。

## 【0068】

そこで、本願発明者が、更に、チャネルの導電型と原子の変位との関係について検討したところ、次のような結果が得られた。図17は、原子の変位量とキャリアの最大移動度

との関係を示すグラフである。図17中の●は、NH<sub>3</sub>アニールを施して作製したNチャネルMOSトランジスタにおける電子の最大移動度を示し、○は、プラズマ窒化を施して作製したNチャネルMOSトランジスタにおける電子の最大移動度を示している。また、■は、NH<sub>3</sub>アニールを施して作製したPチャネルMOSトランジスタにおける正孔の最大移動度を示し、□は、プラズマ窒化を施して作製したPチャネルMOSトランジスタにおける正孔の最大移動度を示している。

#### 【0069】

図17に示すように、NチャネルMOSトランジスタにおいては、Si基板の表層に存在するSi原子の変位がゲート絶縁膜側に0.025nm程度となっているときに電子の最大移動度が最大となる。これに対し、PチャネルMOSトランジスタにおいては、Si基板の表層に存在するSi原子の変位が基板内部側に0.005nm程度となっているときに正孔の最大移動度が最大となる。そして、図17に示す結果より、NチャネルMOSトランジスタでは、Si原子のゲート絶縁膜側への変位量が0.0075nm以上、特に0.01nm乃至0.03nmであることが好ましく、PチャネルMOSトランジスタでは、Si原子の基板内部側への変位量が0.01nm以下であることが好ましいといえる。

#### 【0070】

本願発明者は、更に、ゲート絶縁膜の形成方法と原子の変位量との関係について検討した。この結果を図18に示す。

#### 【0071】

図18に示すように、SiO<sub>2</sub>膜のみからゲート絶縁膜を構成した場合や単にSiN膜(Si<sub>3</sub>N<sub>4</sub>膜)を形成してゲート絶縁膜とした場合には、Si基板の表層に存在するSi原子の変位方向が基板内部側となった。これに対し、SiO<sub>2</sub>膜に対してNOアニール又はNH<sub>3</sub>アニールを行ってSiON膜とした後に、その上にSiN膜を形成してゲート絶縁膜とした場合には、Si原子の変位方向がゲート絶縁膜側となった。同様に、SiO<sub>2</sub>膜に対してNH<sub>3</sub>アニールを行ってSiON膜とした後に、その上にHfO<sub>2</sub>膜及びSiN膜を順次形成してゲート絶縁膜とした場合にも、Si原子の変位方向がゲート絶縁膜側となった。一方、SiO<sub>2</sub>膜を窒化してSiON膜を形成した場合でも、プラズマ窒化を用いた場合や、プラズマ窒化した後にSiON膜上にHfO<sub>2</sub>膜及びSiNを形成した場合には、Si原子の変位方向が基板内部側となった。

#### 【0072】

なお、第1乃至第3の実施形態に関しても、NチャネルMOSトランジスタの形成と並行してPチャネルMOSトランジスタを形成することができる。この場合にも、NチャネルMOSトランジスタについては、基板表層の原子をゲート絶縁膜側に変位させ、PチャネルMOSトランジスタについては、基板表層の原子を基板内部側に変位させることが好ましい。

#### 【0073】

ここで、本願発明者が行ったしきい値のばらつきに関する測定の結果について説明する。

#### 【0074】

この測定では、まず、第1の実施形態に準じた方法で3種のPチャネルMOSトランジスタを作製し、これらのトランジスタについて、しきい値電圧のばらつき( $\sigma_{V_{th}}$ )を測定した。なお、3種のPチャネルMOSトランジスタの作製に当たっては、第1の実施形態に関して行った相互コンダクタンス( $G_m$ )及びゲート電圧( $V_g$ )の測定用に作製した3種のNチャネルMOSトランジスタと同様のアニール温度でアンモニアアニールを行った。この結果を図19に示す。

#### 【0075】

図19に示すように、アニール温度が高いほど、しきい値電圧のばらつきが小さくなった。このことは、ボロン抜けが抑制されていることを示している。なお、図19中の破線は、NチャネルMOSトランジスタにおけるしきい値電圧のばらつきを示している。Nチャ

チャンネルMOSトランジスタでは、アニール温度によるしきい値電圧のばらつきに対する影響が小さい。

【0076】

更に、本願発明者は、PチャンネルMOSトランジスタについて、Si基板1の表面におけるSi原子の変位量としきい値電圧のばらつき( $\sigma_{v_{th}}$ )との関係も求めた。この結果を図20に示す。図20には、図6と同様の結果も示す。図20中の破線が変位量としきい値電圧のばらつきとの関係(PMOS)を示している。

【0077】

また、本願発明者は、第2の実施形態に準じた方法で3種のPチャンネルMOSトランジスタを作製し、これらのトランジスタについて、しきい値電圧のばらつき( $\sigma_{v_{th}}$ )を測定した。なお、3種のPチャンネルMOSトランジスタの作製に当たっては、第2の実施形態に関して行った相互コンダクタンス( $G_m$ )及びゲート電圧( $V_g$ )の測定用に作製した3種のNチャンネルMOSトランジスタと同様のアニール温度でポストアニールを行った。この結果を図21に示す。

【0078】

図21に示すように、ポストアニールを施した場合にも、しきい値電圧のばらつきは参考例(第1の実施形態)と同程度であった。このことは、ポストアニールを施した場合にも、ボロン抜けが抑制されていることを示している。

【0079】

なお、Si基板上にゲート絶縁膜を形成した後に、Si基板表面のSi原子のゲート絶縁膜側又は基板内部側への変位量を測定することにより、このゲート絶縁膜を備えた半導体装置を完成させる前に、変位量に基づいて当該半導体装置の性能を予測することも可能である。即ち、NチャンネルMOSトランジスタでは、ゲート絶縁膜側への変位量が大いほど、ゲートリーク電流が小さく、ボロン抜けも少ないと評価することができ、PチャンネルMOSトランジスタでは、基板内部側への変位量が大いほど、ゲートリーク電流が小さく、ボロン抜けも少ないと評価することができる。

【0080】

また、Si基板表面のSi原子のゲート絶縁膜側又は基板内部側への変位量に基づいて、当該ゲート絶縁膜の安定性を保証することも可能である。

【0081】

更に、Si基板表面のSi原子のゲート絶縁膜側又は基板内部側への変位量に基づいて、当該ゲート絶縁膜を製造する装置の安定性を保証することも可能である。

【0082】

以下、本発明の諸態様を付記としてまとめて記載する。

【0083】

(付記1)

Si基板と、  
前記Si基板の上に形成されたゲート絶縁膜と、  
前記ゲート絶縁膜上に形成されたゲート電極と、  
を有し、  
前記Si基板の表面においてSi原子が前記ゲート絶縁膜の方向に変位していることを特徴とする半導体装置。

【0084】

(付記2)

前記Si基板の表面の導電型は、前記ゲート絶縁膜下においてP型であることを特徴とする付記1に記載の半導体装置。

【0085】

(付記3)

前記Si基板の表面におけるSi原子の変位量は0.0075nm以上であることを特徴とする付記1又は2に記載の半導体装置。

## 【0086】

(付記4)

前記Si基板の表面におけるSi原子の変位量は0.01nm乃至0.03nmであることを特徴とする付記3に記載の半導体装置。

## 【0087】

(付記5)

Si基板と、

前記Si基板の上に形成されたゲート絶縁膜と、

前記ゲート絶縁膜上に形成されたゲート電極と、

を有し、

前記Si基板表面の導電型がP型の部分では、前記ゲート絶縁膜下においてSi原子が前記ゲート絶縁膜の方向に変位しており、

前記Si基板表面の導電型がN型の部分では、前記ゲート絶縁膜下においてSi原子が前記Si基板の内部に向かう方向に変位していることを特徴とする半導体装置。

## 【0088】

(付記6)

前記Si基板表面の導電型がP型の部分におけるSi原子の変位量は0.01nm乃至0.03nmであり、

前記Si基板表面の導電型がN型の部分におけるSi原子の変位量は0.01nm以下であることを特徴とする付記5に記載の半導体装置。

## 【0089】

(付記7)

前記ゲート絶縁膜は、

前記Si基板上に形成され、Nを含有するSi酸化膜と、

前記Si酸化膜上に形成されたSi窒化膜又は高誘電率膜と、

を有することを特徴とする付記1乃至6のいずれか1項に記載の半導体装置。

## 【0090】

(付記8)

前記ゲート絶縁膜は、

前記Si基板上に形成され、Nを含有するSi酸化膜と、

前記Si酸化膜上に形成された高誘電率膜と、

前記高誘電率膜上に形成されたSi窒化膜と、

を有することを特徴とする付記1乃至6のいずれか1項に記載の半導体装置。

## 【0091】

(付記9)

Si基板上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上にゲート電極を形成する工程と、

を有し、

前記ゲート絶縁膜を形成する工程は、

前記Si基板上にSi酸化膜を形成する工程と、

前記Si酸化膜中にNを導入すると共に、前記Si基板の表面のSi原子を前記ゲート絶縁膜の方向に変位させる工程と、

を有することを特徴とする半導体装置の製造方法。

## 【0092】

(付記10)

前記Nを導入すると共に、前記Si原子を変位させる工程は、前記Si酸化膜に対してアンモニア雰囲気又は一酸化窒素雰囲気中で第1の熱処理を行う工程を有することを特徴とする付記9に記載の半導体装置の製造方法。

## 【0093】

(付記11)

前記ゲート絶縁膜を、前記 S i 基板表面の導電型が P 型の部分の上に形成することを特徴とする付記 9 又は 1 0 に記載の半導体装置の製造方法。

【0 0 9 4】

(付記 1 2)

S i 基板上にゲート絶縁膜を形成する工程と、  
前記ゲート絶縁膜上にゲート電極を形成する工程と、  
を有し、  
前記ゲート絶縁膜を形成する工程は、  
前記 S i 基板上に S i 酸化膜を形成する工程と、  
前記 S i 酸化膜中に N を導入すると共に、前記 S i 基板表面の導電型が P 型の部分では、前記ゲート絶縁膜下において S i 原子を前記ゲート絶縁膜の方向に変位させ、前記 S i 基板表面の導電型が N 型の部分では、前記ゲート絶縁膜下において S i 原子が前記 S i 基板の内部に向かう方向に変位させる工程と、  
を有することを特徴とする半導体装置の製造方法。

【0 0 9 5】

(付記 1 3)

前記 N を導入すると共に、前記 S i 原子を変位させる工程は、前記 S i 基板表面の導電型が P 型の部分では、前記 S i 酸化膜に対してアンモニア雰囲気又は一酸化窒素雰囲気中で第 1 の熱処理を行い、前記 S i 基板表面の導電型が N 型の部分では、前記 S i 酸化膜に対してプラズマ窒化処理を行う工程を有することを特徴とする付記 1 2 に記載の半導体装置の製造方法。

【0 0 9 6】

(付記 1 4)

前記第 1 の熱処理を 7 7 5 ℃以上で行うことを特徴とする付記 1 0 又は 1 3 に記載の半導体装置の製造方法。

【0 0 9 7】

(付記 1 5)

前記ゲート絶縁膜を形成する工程は、前記 N を導入すると共に、前記 S i 原子を変位させる工程の後に、前記 S i 酸化膜上に S i 窒化膜又は高誘電率膜を形成する工程を有することを特徴とする付記 9 乃至 1 4 のいずれか 1 項に記載の半導体装置の製造方法。

【0 0 9 8】

(付記 1 6)

前記ゲート絶縁膜を形成する工程は、前記 S i 窒化膜又は高誘電率膜を形成する工程の後に、前記 N が導入された S i 酸化膜に対して第 2 の熱処理を行う工程を有することを特徴とする付記 1 5 に記載の半導体装置の製造方法。

【0 0 9 9】

(付記 1 7)

前記第 2 の熱処理を前記 S i 窒化膜又は高誘電率膜の成膜温度よりも高い温度で行うことを特徴とする付記 1 6 に記載の半導体装置の製造方法。

【0 1 0 0】

(付記 1 8)

前記ゲート絶縁膜を形成する工程は、前記 N を導入すると共に、前記 S i 原子を変位させる工程の後に、

前記 S i 酸化膜上に高誘電率膜を形成する工程と、  
前記 N が導入された S i 酸化膜に対して第 2 の熱処理を行う工程と、  
前記高誘電率膜上に S i 窒化膜を形成する工程と、  
を有することを特徴とする付記 9 乃至 1 4 のいずれか 1 項に記載の半導体装置の製造方法。

【0 1 0 1】

(付記 1 9)



前記第2の熱処理をN<sub>2</sub>O雰囲気下で行うことを特徴とする付記16乃至18のいずれか1項に記載の半導体装置の製造方法。

【0102】

(付記20)

前記Si酸化膜の厚さを1.5nm以下とすることを特徴とする付記9乃至19のいずれか1項に記載の半導体装置の製造方法。

【図面の簡単な説明】

【0103】

【図1】本発明の第1の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

【図2】図1に引き続き、本発明の第1の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

【図3】第1の実施形態に関し、ゲート電圧と相互コンダクタンスとの関係を示すグラフである。

【図4】第1の実施形態に関し、反転容量換算膜厚とゲートリーク電流との関係を示すグラフである。

【図5】第1の実施形態に関し、アニール温度と原子の変位量との関係を示すグラフである。

【図6】Si原子の変位量とゲートリーク電流及び $G_{m_{max}} \times T_{eff}$ の値との関係を示すグラフである。

【図7】本発明の第2の実施形態に係る半導体装置の製造方法を示す断面図である。

【図8】第2の実施形態に関し、ゲート電圧と相互コンダクタンスとの関係を示すグラフである。

【図9】第2の実施形態に関し、反転容量換算膜厚とゲートリーク電流との関係を示すグラフである。

【図10】第2の実施形態に関し、アニール温度と原子の変位量との関係を示すグラフである。

【図11】本発明の第3の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

【図12】第3の実施形態に関し、ゲート絶縁膜の構成と原子の変位量との関係を示すグラフである。

【図13】本発明の第4の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

【図14】図13に引き続き、本発明の第4の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

【図15】本発明の第5の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

【図16】第5及び第6の実施形態に関し、ゲート電圧とキャリアの移動度との関係を示すグラフである。

【図17】原子の変位量とキャリアの最大移動度との関係を示すグラフである。

【図18】ゲート絶縁膜の形成方法と原子の変位量との関係を示すグラフである。

【図19】第1の実施形態に関し、アニール温度としきい値のばらつきとの関係を示すグラフである。

【図20】Si原子の変位量としきい値のばらつきとの関係を示すグラフである。

【図21】第2の実施形態に関し、アニール温度としきい値のばらつきとの関係を示すグラフである。

【符号の説明】

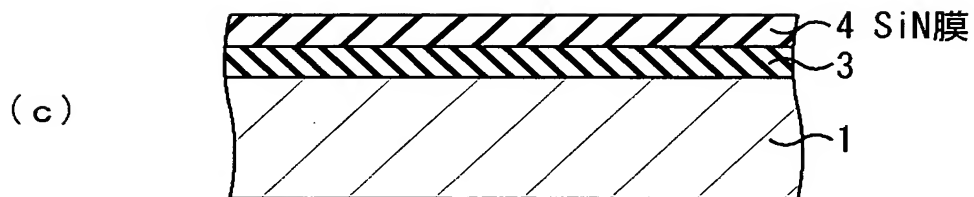
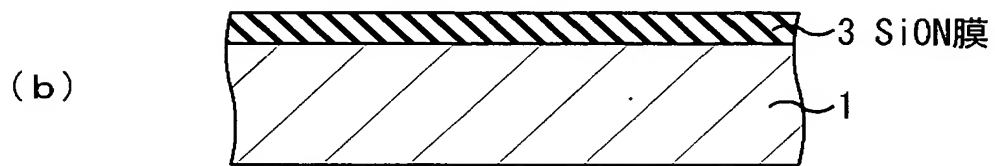
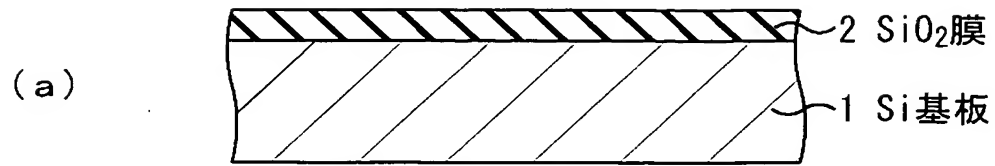
【0104】

1: Si基板

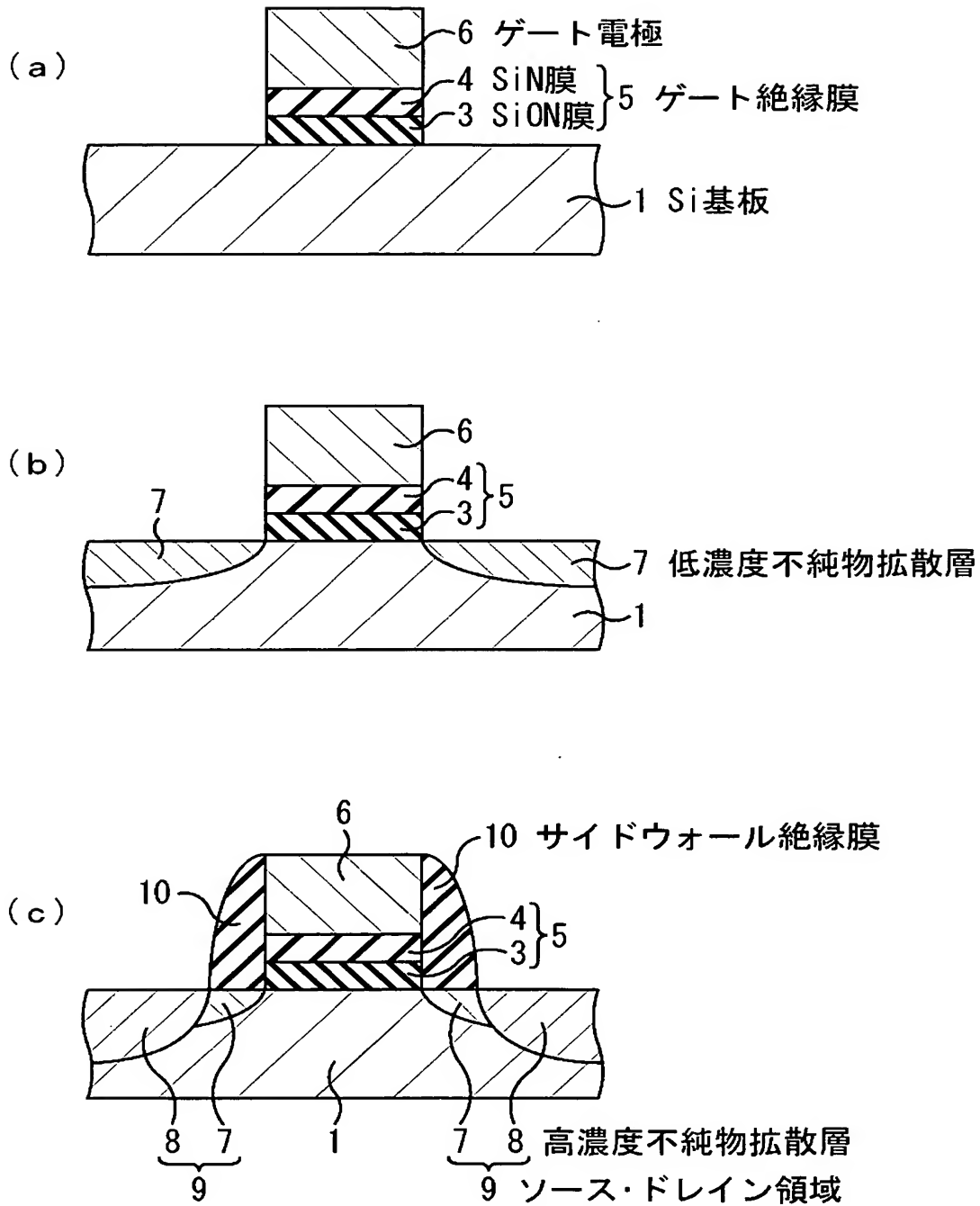
2: SiO<sub>2</sub>膜

- 3 : S i O N 膜
- 4 : S i N 膜
- 5 : ゲート絶縁膜
- 6 : ゲート電極
- 7 : 低濃度不純物拡散層
- 8 : 高濃度不純物拡散層
- 9 : ソース・ドレイン領域
- 1 0 : サイドウォール絶縁膜
- 1 4 : H f O<sub>2</sub> 膜
- 1 5 : ゲート絶縁膜
- 2 5 : ゲート絶縁膜

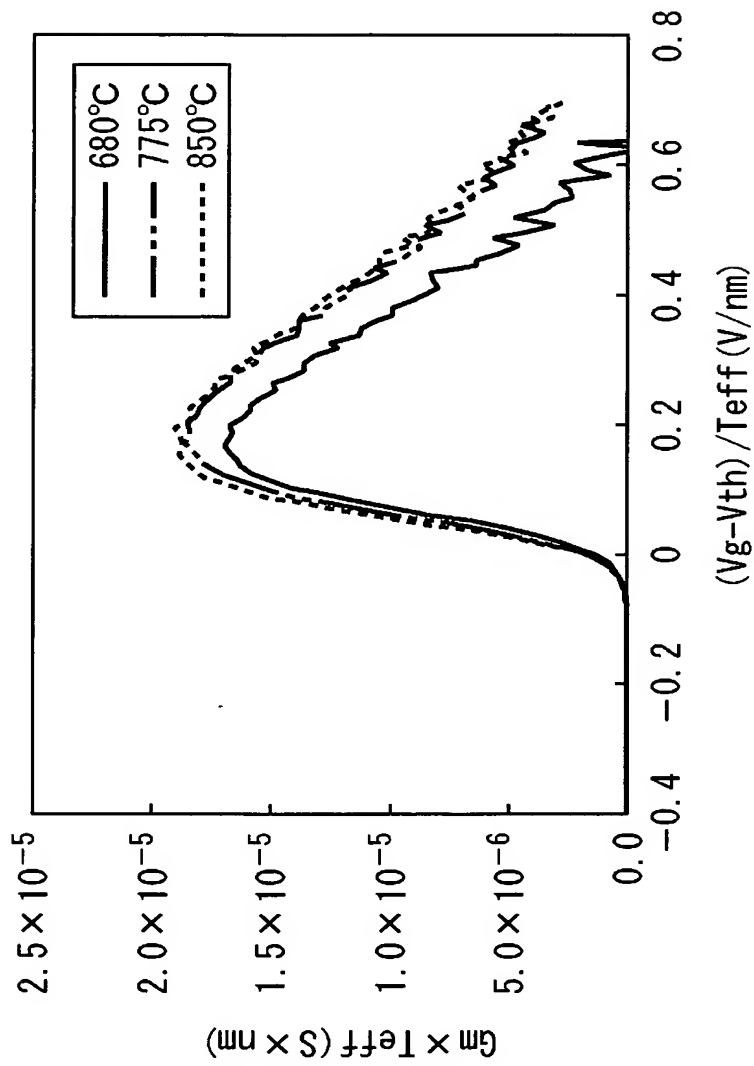
【書類名】 図面  
【図 1】



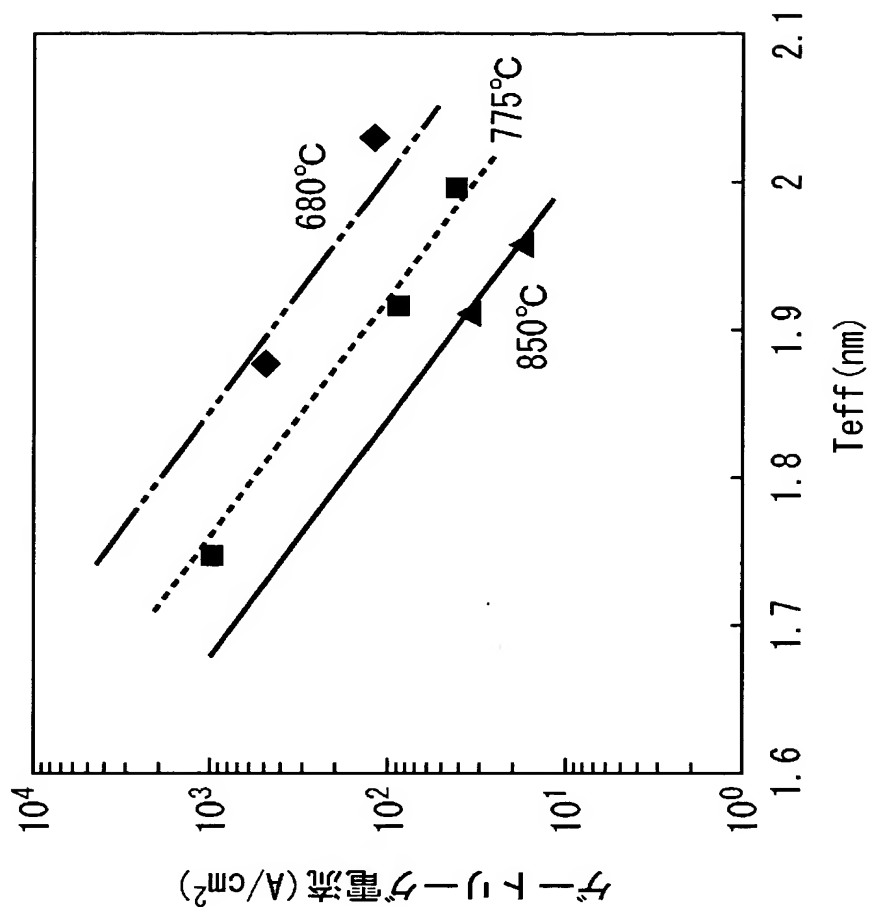
【図 2】



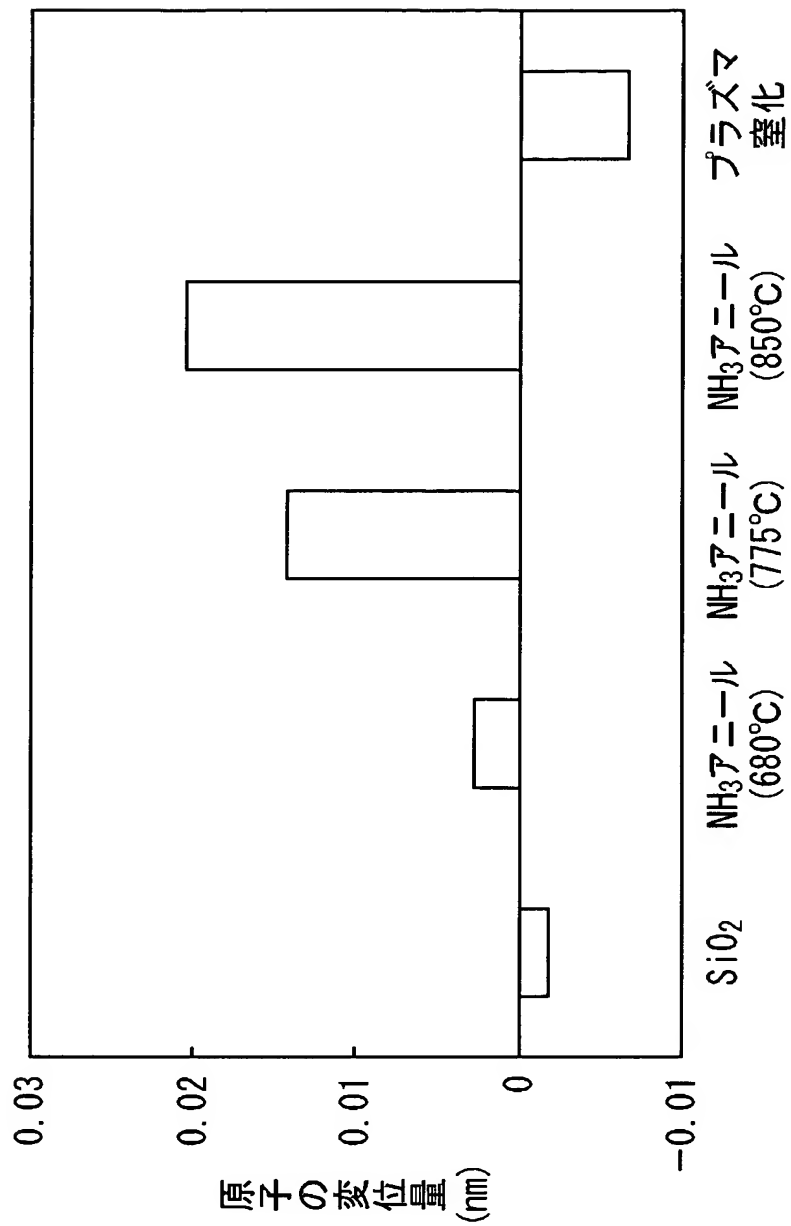
【図 3】



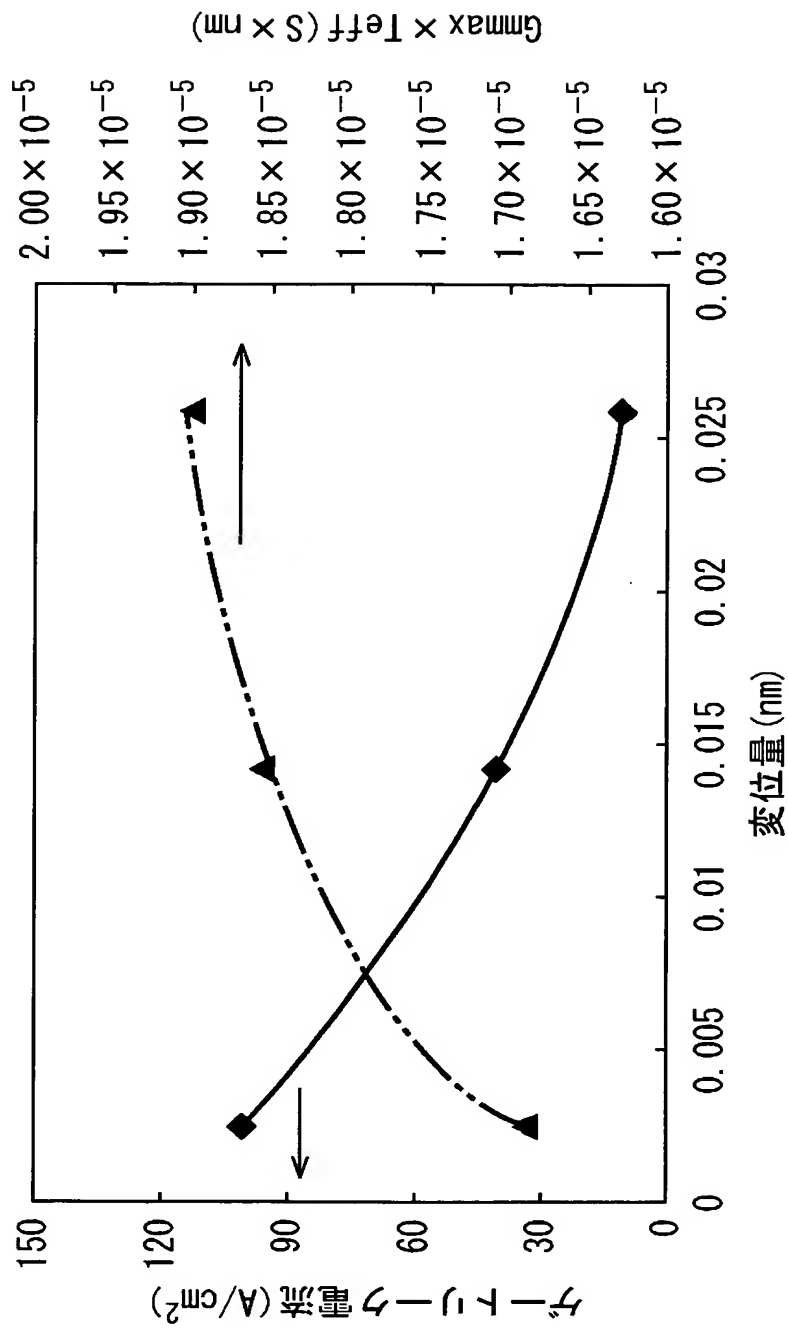
【図 4】



【図 5】

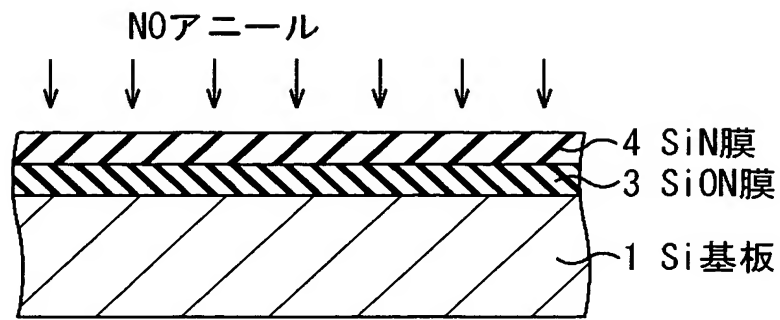


【図 6】

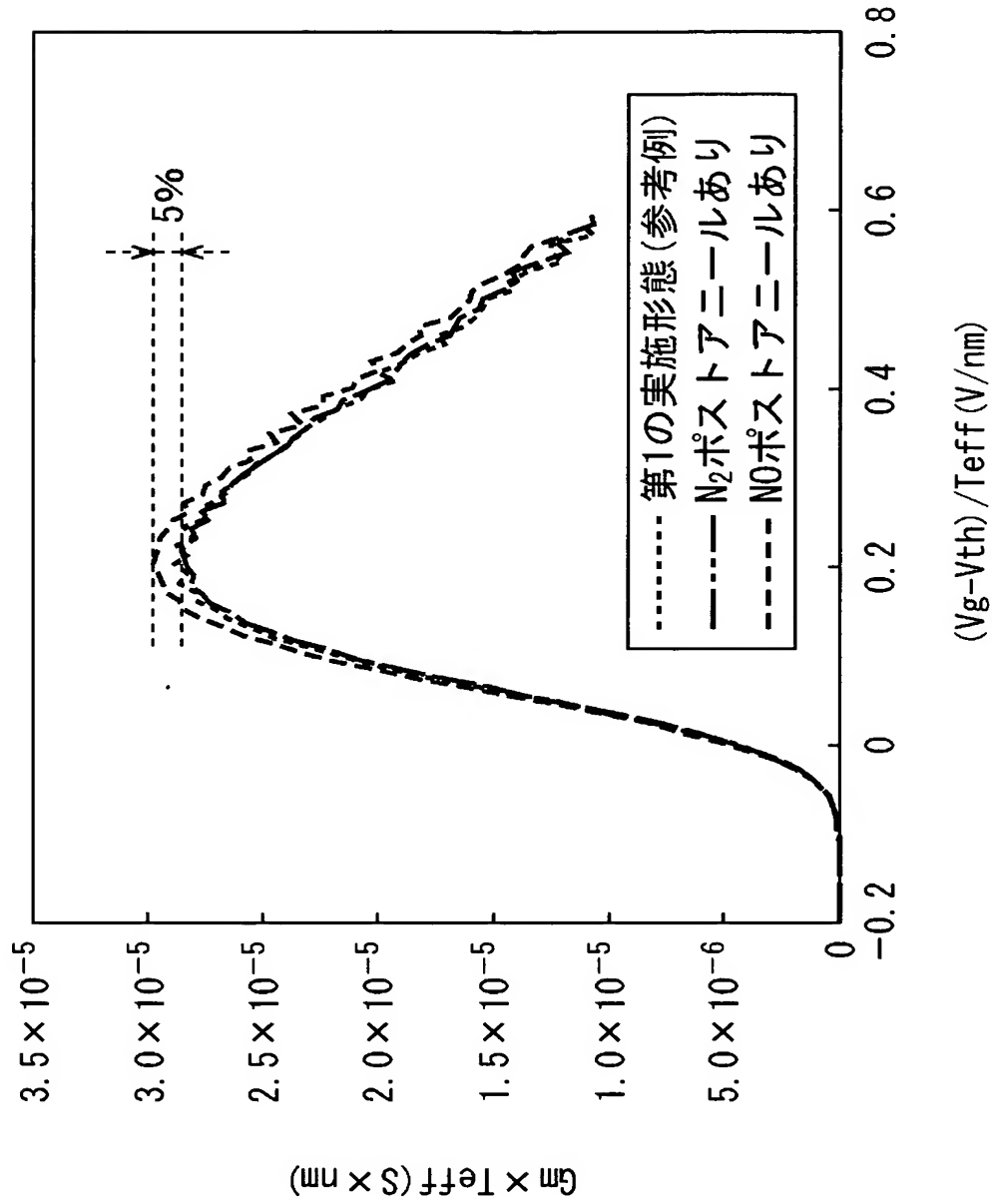




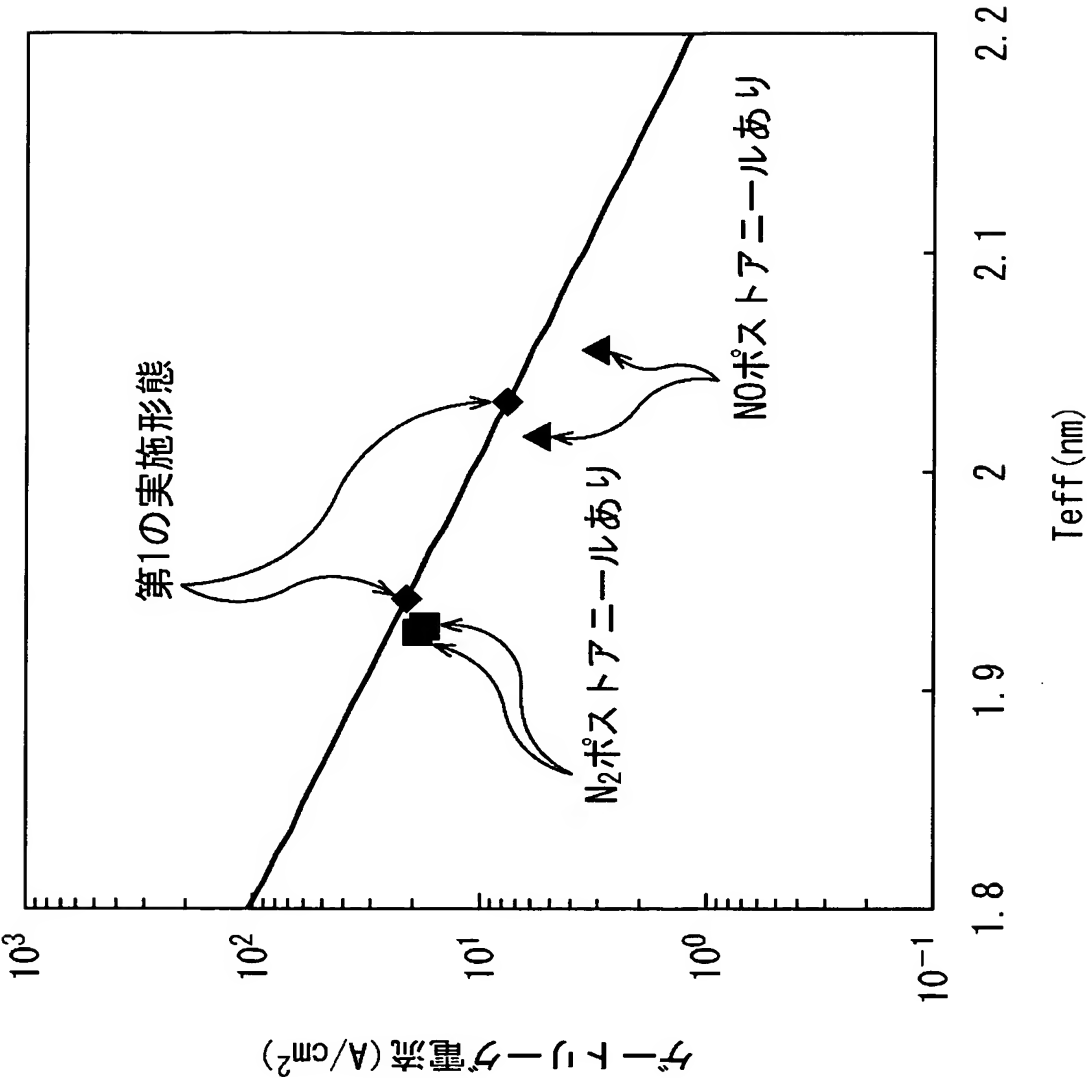
【図 7】



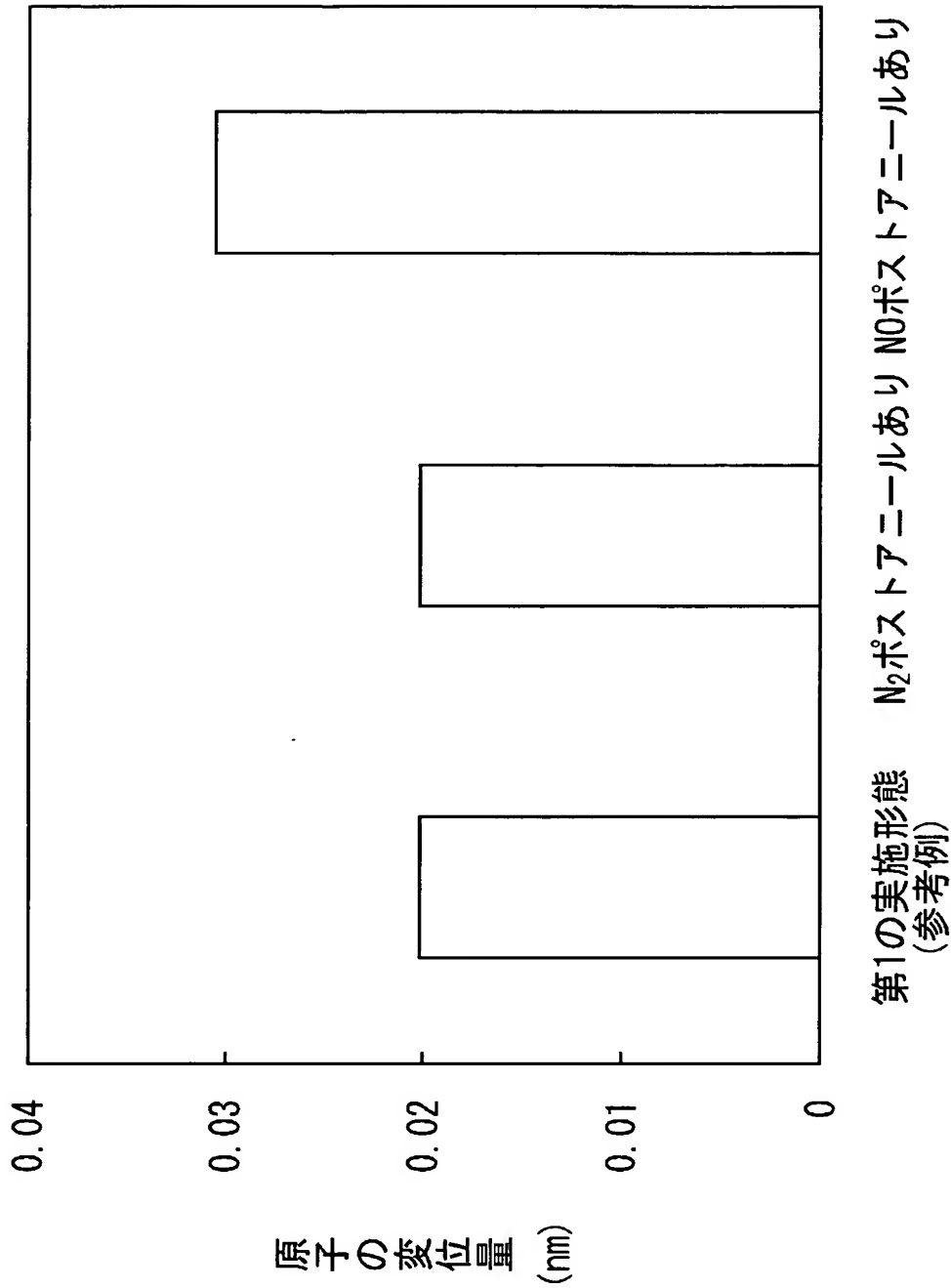
【図 8】



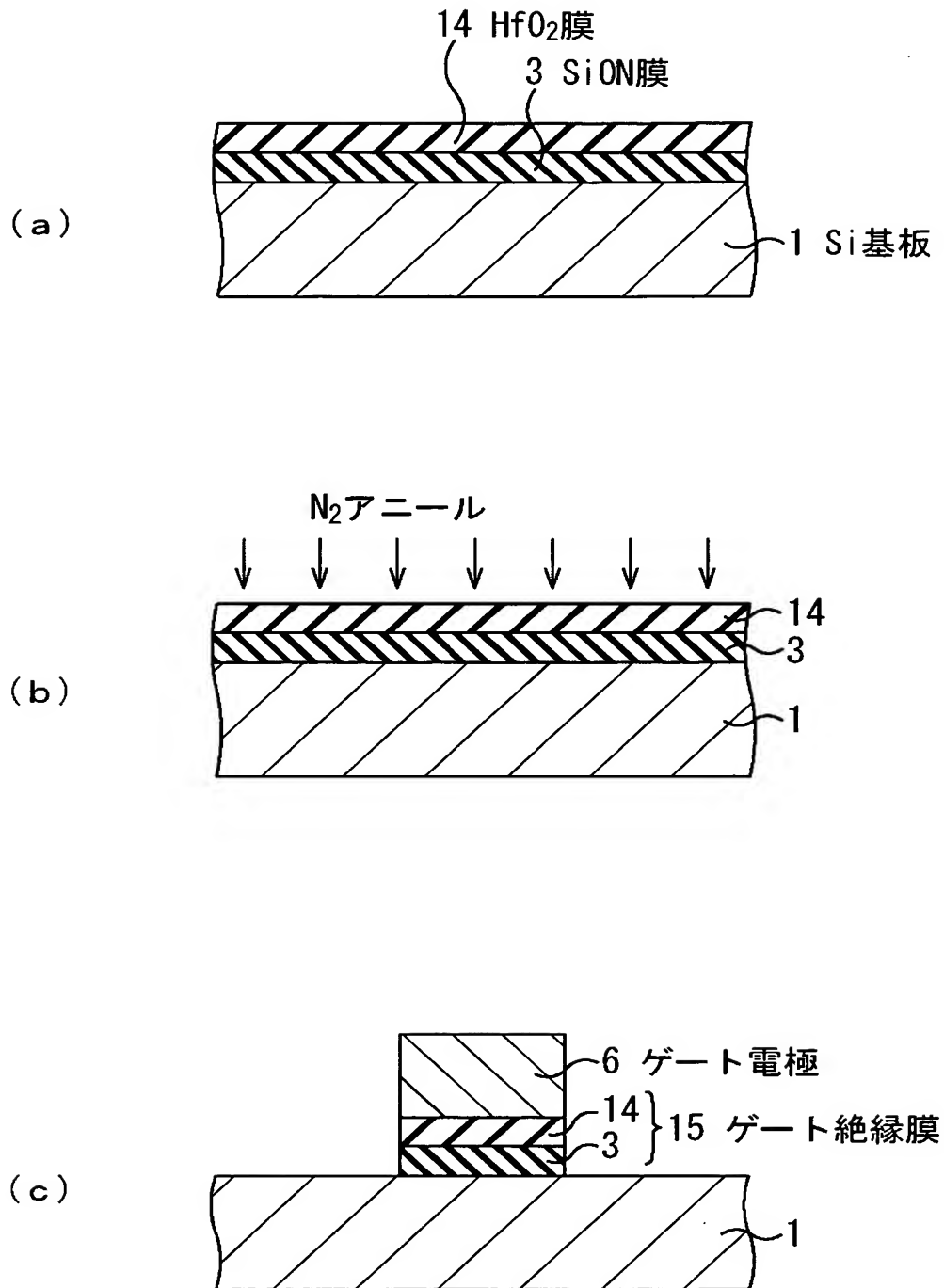
【図 9】



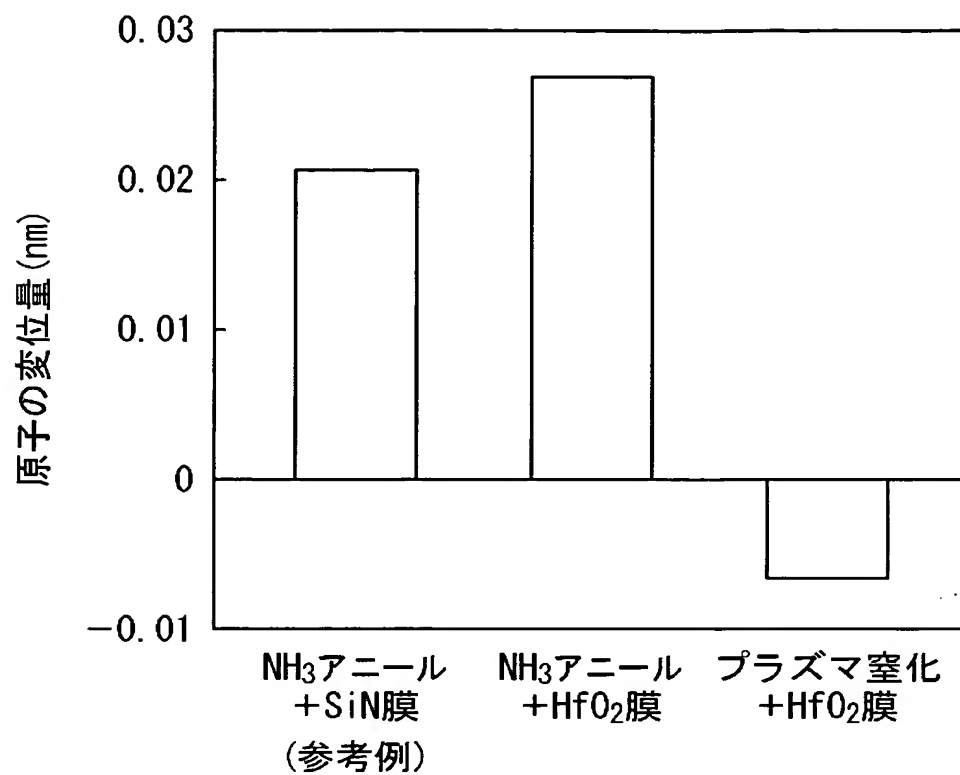
【図 10】



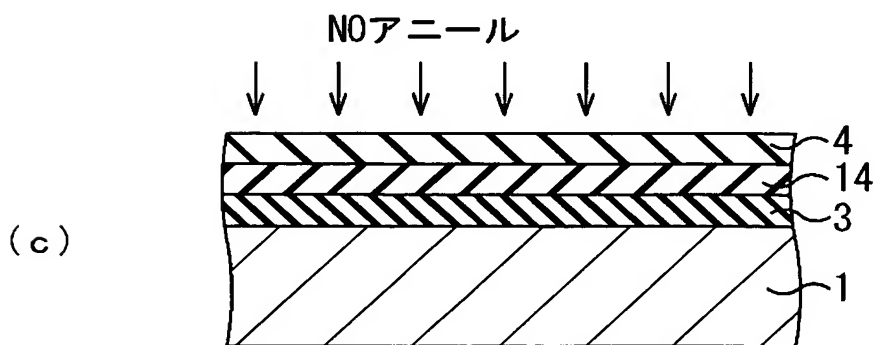
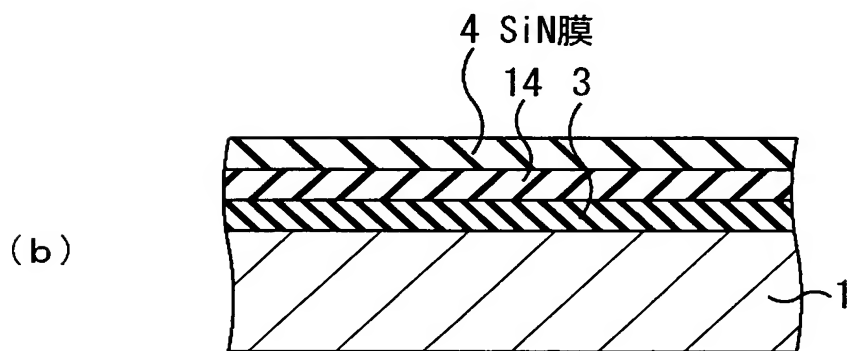
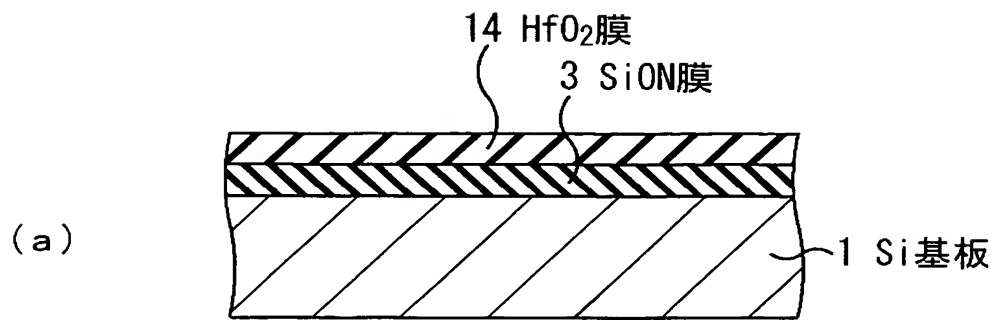
【図 11】



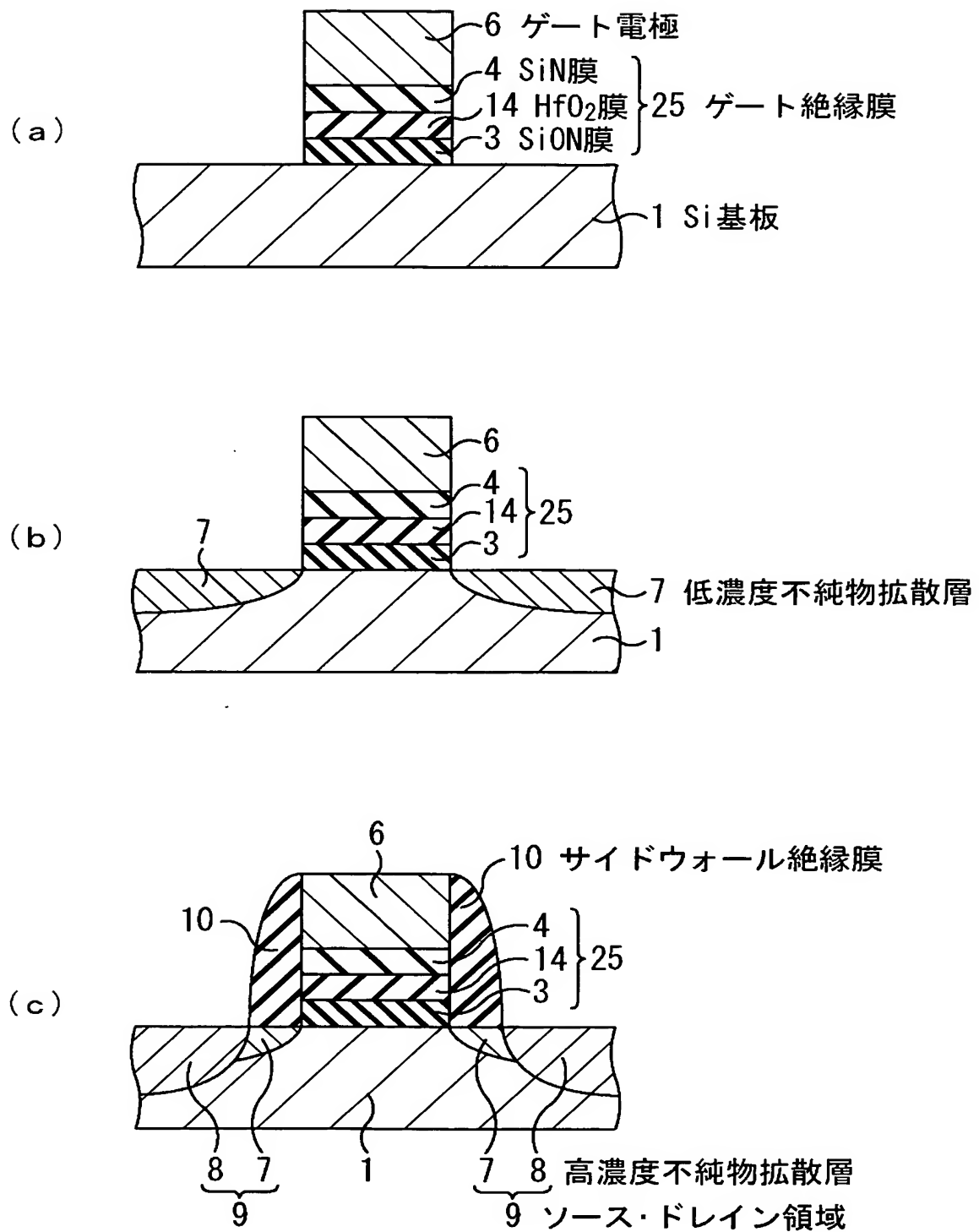
【図 12】



【図 13】

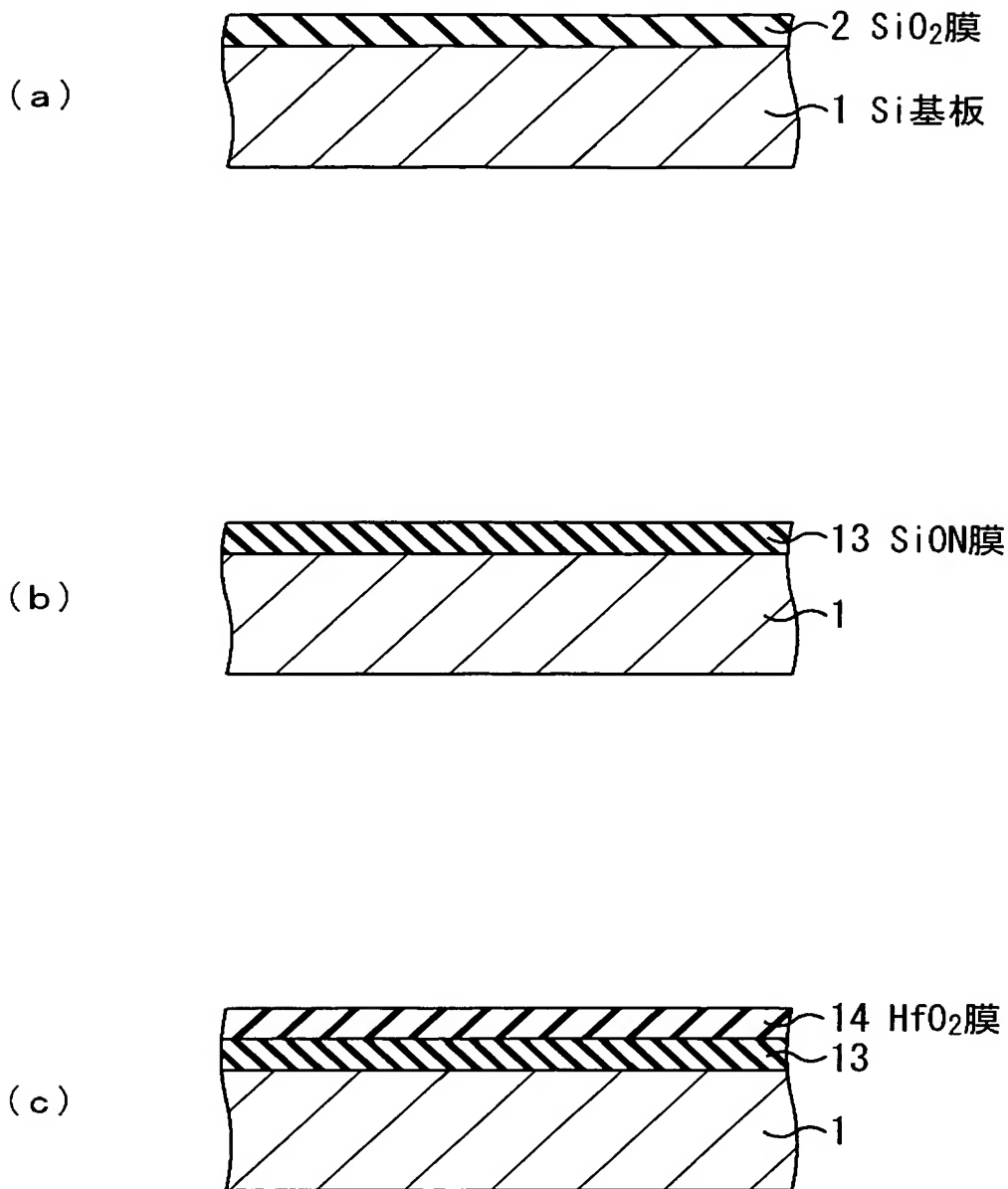


【図 14】

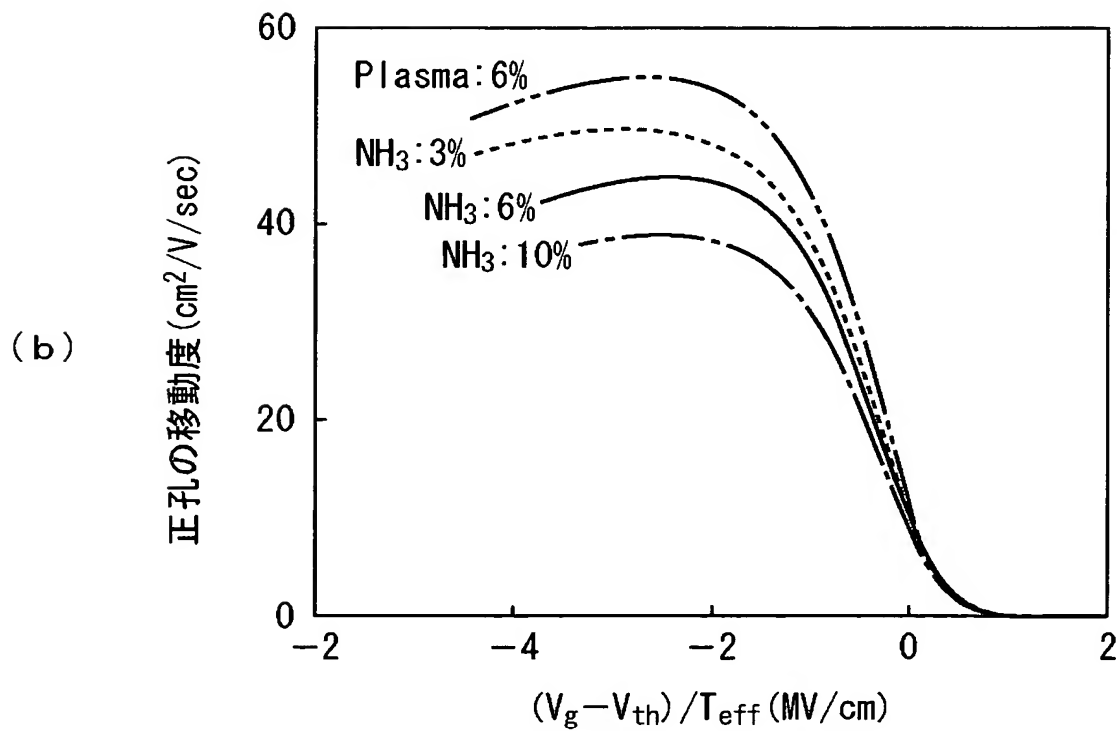
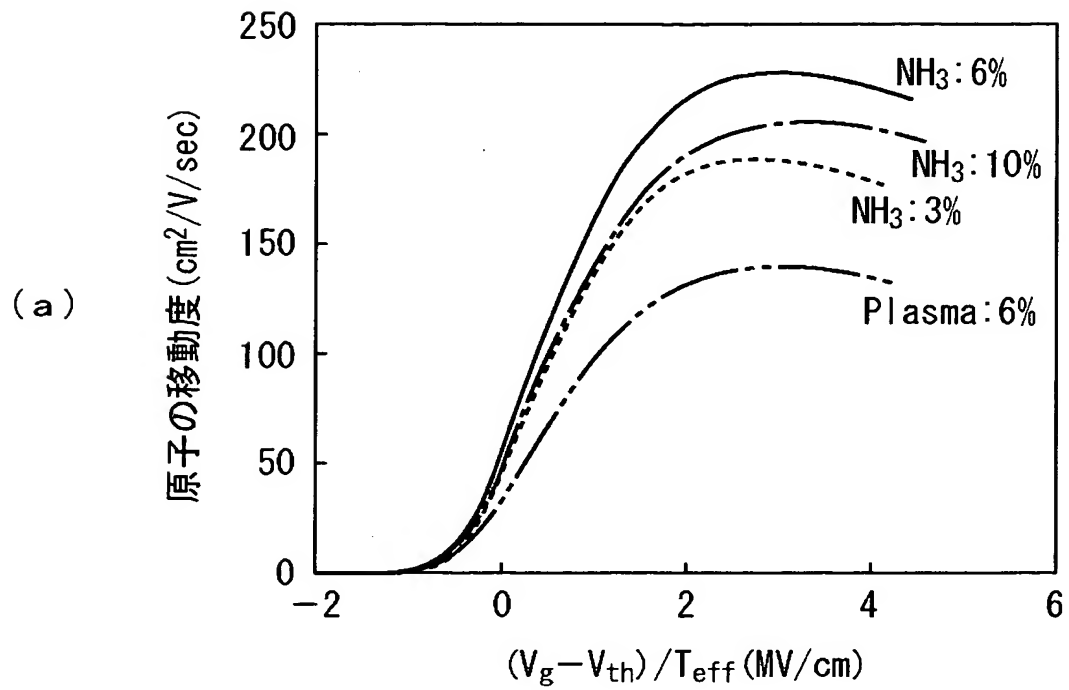




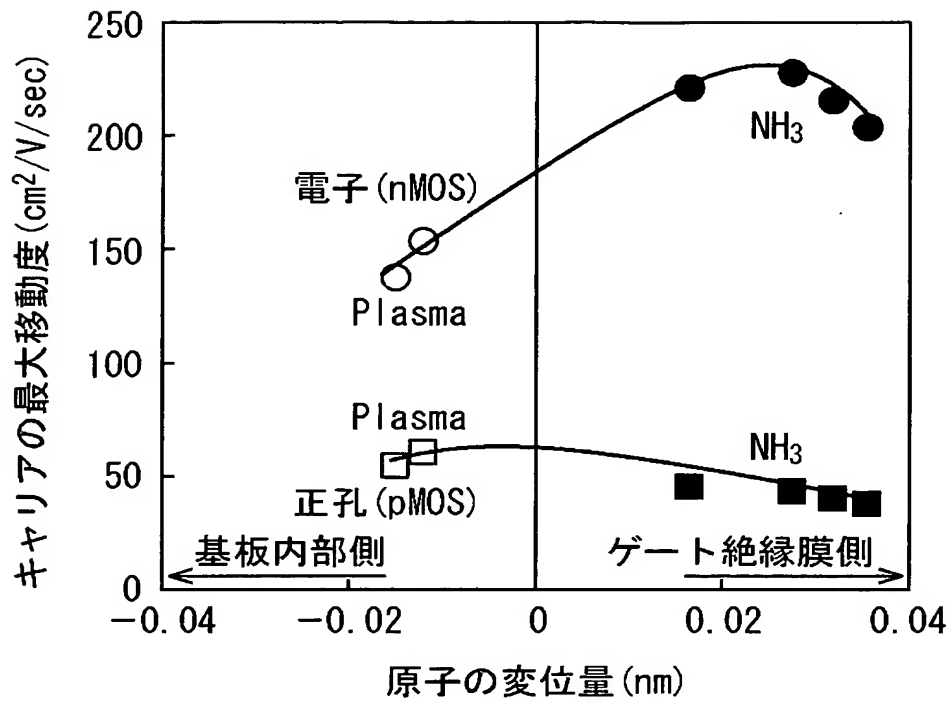
【図 15】



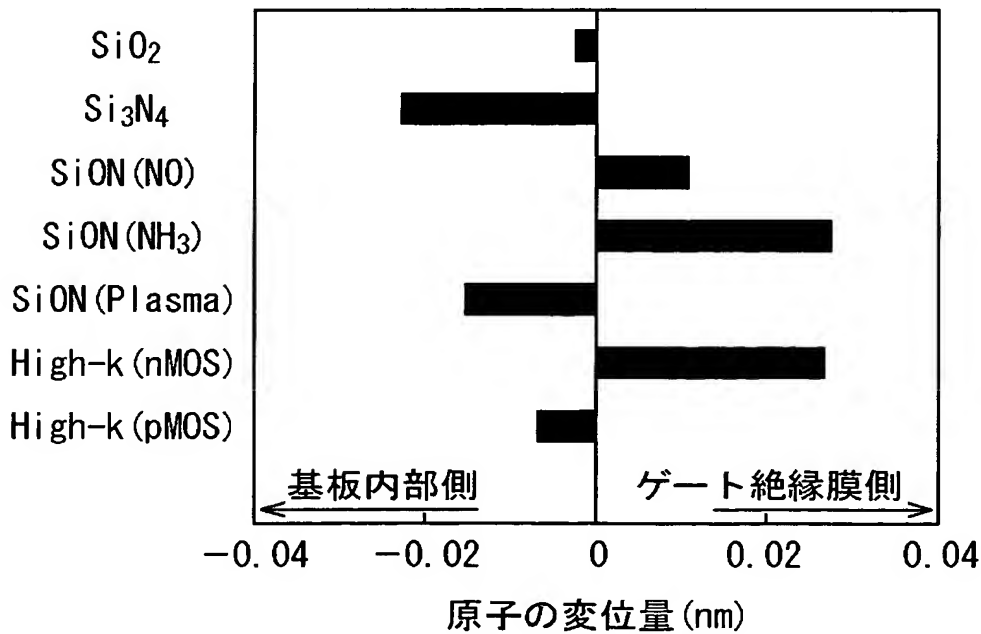
【図 16】



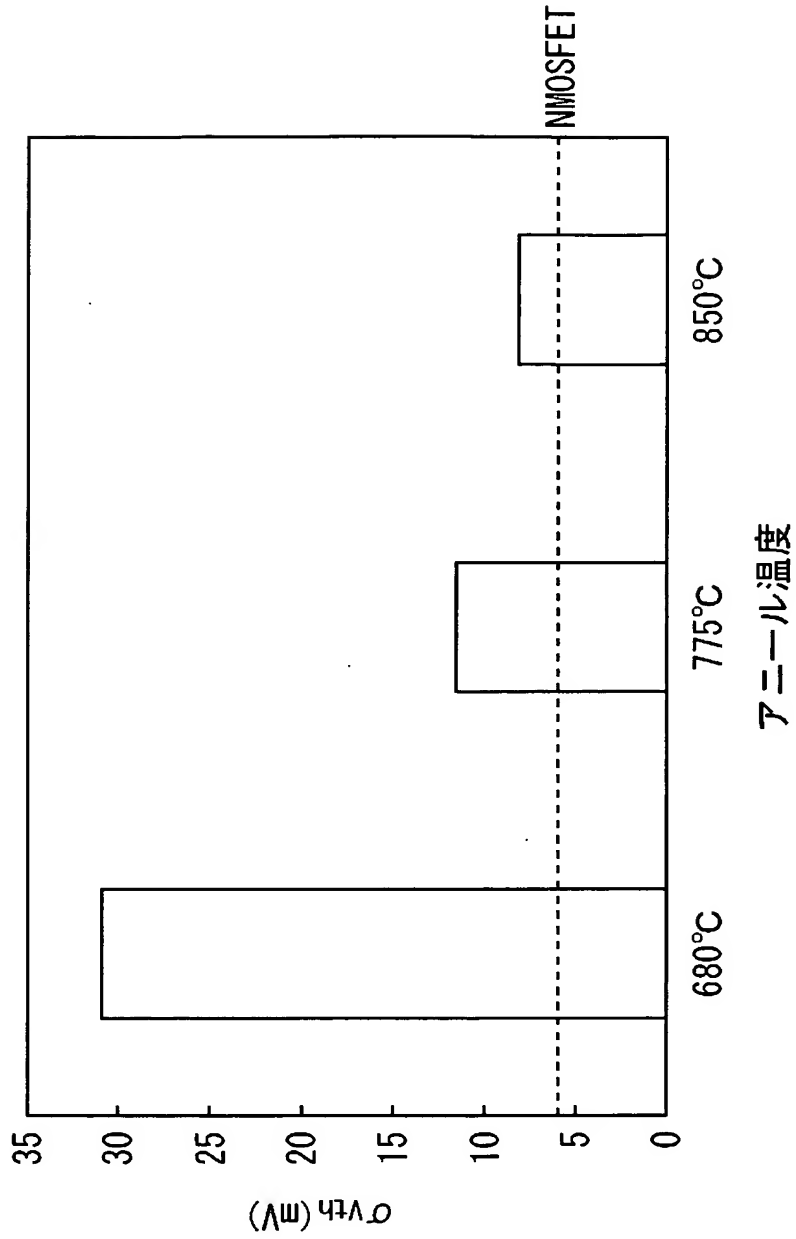
【図 17】



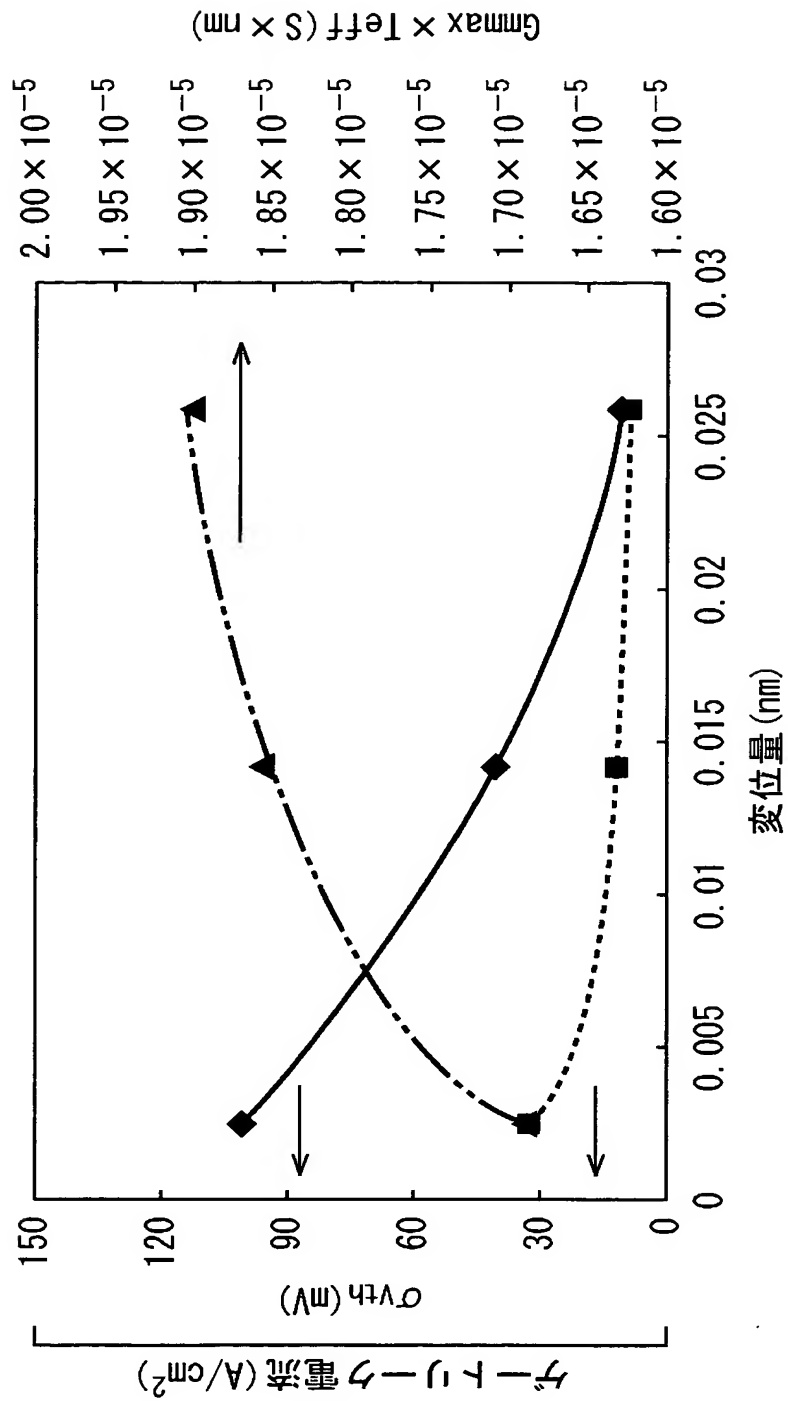
【図 18】



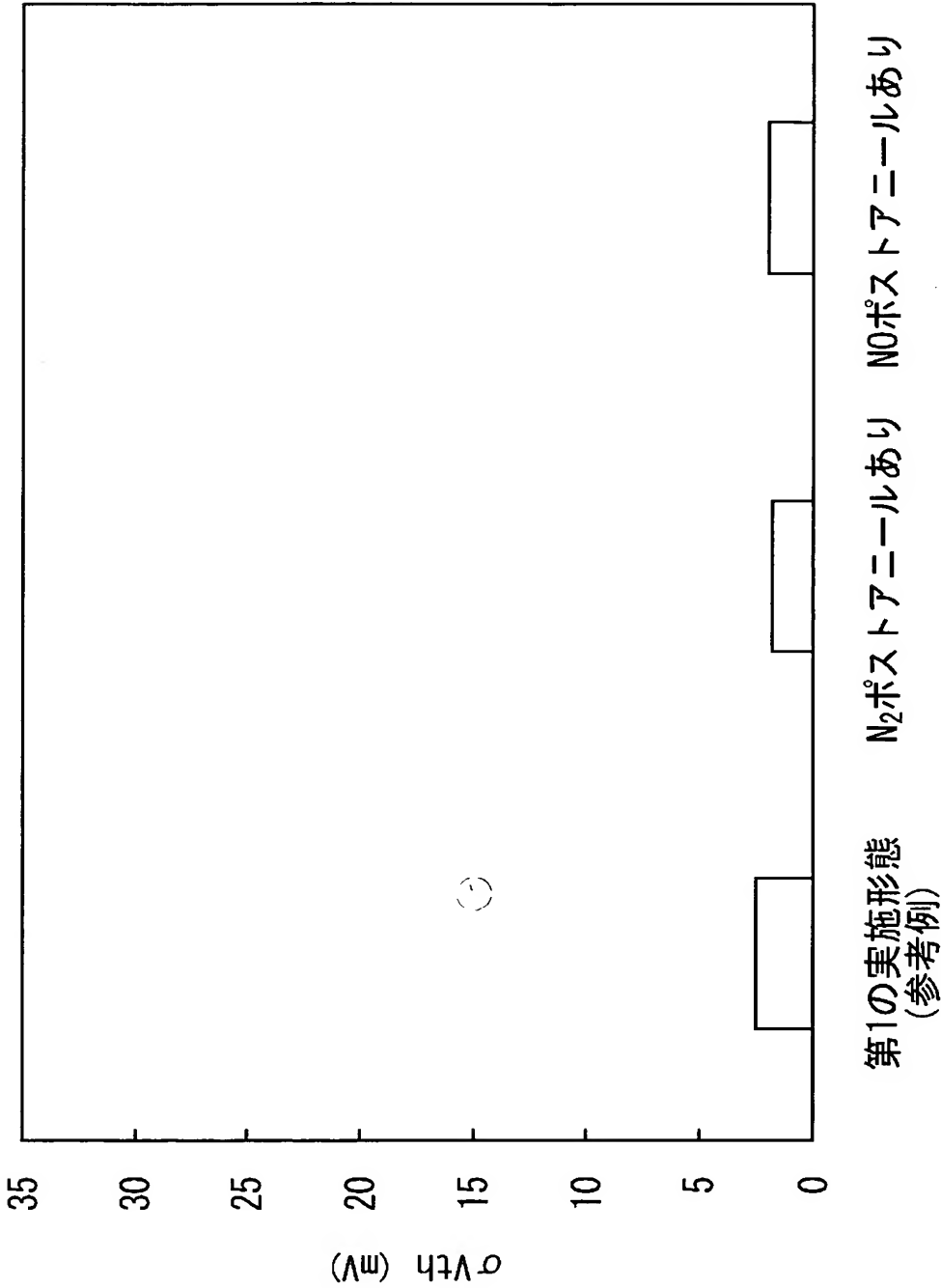
【図 19】



【図 20】



【図 2 1】



【書類名】 要約書

【要約】

【課題】 十分にキャリアの移動度を向上させ、リーク電流を低減することができる半導体装置及びその製造方法を提供する。

【解決手段】 Si 基板 1 の表面に熱酸化膜として Si O<sub>2</sub> 膜 2 を形成する。次に、Si O<sub>2</sub> 膜 2 に対して、窒化性ガス雰囲気下で熱処理を行うことにより、Si O<sub>2</sub> 膜 2 を Si O N 膜 3 に変化させる。この結果、Si 基板 1 の表層に存在する原子には、Si O N 膜 3 側への引張応力が作用して歪が生じ、Si 基板 1 中の Si 原子の原子間距離が長くなる。この歪の量は、例えば X 線 C T R 散乱法により測定することができる。次いで、C V D 法等により、Si N 膜 4 を Si O N 膜 3 上に形成する。Si N 膜 4 の厚さによっても、Si 基板 1 に作用する引張応力の大きさが異なる。この方法によれば、Si 原子の変位によりキャリアの移動度が向上するため、Si O N 膜 3 の Si 基板 1 との界面近傍の窒素濃度が高くても、十分なキャリアの移動度が得られる。

【選択図】 図 1 7

特願 2 0 0 4 - 0 6 2 9 5 2

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 5 2 2 3 ]

1. 変更年月日 1 9 9 6 年 3 月 2 6 日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏 名 富士通株式会社